

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-189275

(43)Date of publication of application : 10.07.2001

(51)Int.Cl.

H01L 21/205

H01L 21/20

H01L 29/786

H01L 21/336

(21)Application number : 11-371343

(71)Applicant : SONY CORP

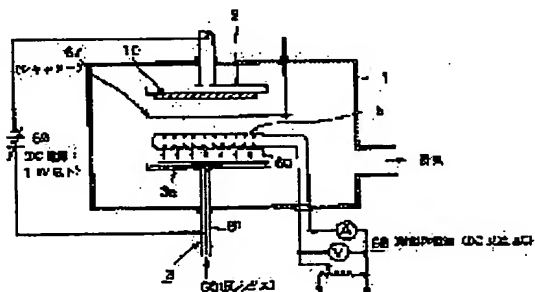
(22)Date of filing : 27.12.1999

(72)Inventor : YAMANAKA HIDEO

(54) SEMICONDUCTOR FILM FORMING METHOD, AND MANUFACTURING METHOD OF THIN-FILM SEMICONDUCTOR DEVICE**(57)Abstract:**

PROBLEM TO BE SOLVED: To provide a semiconductor film forming method for forming a high-quality semiconductor film on a substrate.

SOLUTION: A semiconductor film forming method for forming a semiconductor film on a substrate by utilizing a bias catalyzer CVD, a high-density bias catalyzer CVD, a bias reduced-pressure CVD, or a bias ordinary-pressure CVD. The method has a process wherein a raw-material gas is fed to a vacuum vessel 1 and a voltage which is not higher than a glow-discharge starting voltage is so applied across a substrate 10 and an electrode 3a, which are disposed in the vacuum vessel 1 as to form a semiconductor film and an insulation film on the substrate 10, a processor for projecting a laser on the semiconductor film and the insulation film for annealing the films, and a process preceded by this annealing process, where the films are annealed with a water steam.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-189275

(P2001-189275A)

(43)公開日 平成13年7月10日(2001.7.10)

(51)Int.Cl.	識別記号	F I	テーマコード(参考)
H 0 1 L	21/205	H 0 1 L 21/205	5 F 0 4 5
	21/20	21/20	5 F 0 5 2
	29/786	29/78	6 1 8 A 5 F 1 1 0
	21/336		6 2 7 G

審査請求 未請求 請求項の数44 O L (全 53 頁)

(21)出願番号 特願平11-371343

(22)出願日 平成11年12月27日(1999. 12. 27)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 山中 英雄

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(74)代理人 100088580

弁理士 秋山 教 (外1名)

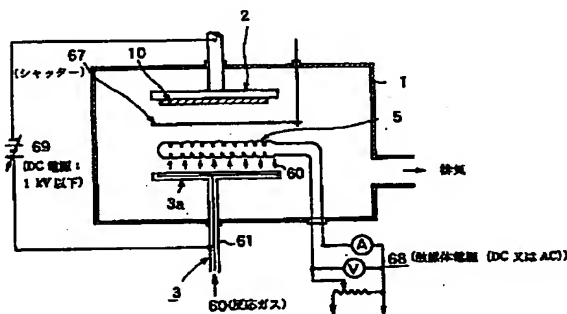
最終頁に続く

(54)【発明の名称】 半導体膜形成方法及び薄膜半導体装置の製造方法

(57)【要約】

【課題】 本発明の目的は、基板上に高品質な半導体膜を形成するための半導体膜形成方法を提供することにある。

【解決手段】 本発明は、バイアス触媒CVD、高密度バイアス触媒CVD、バイアス減圧CVD、バイアス常圧CVDを利用して、基板に半導体膜を形成する半導体膜形成方法である。真空容器1に原料ガスを供給し、真空容器1中に配置された基板10と電極3aとの間にグロー放電開始電圧以下の電界を印加して、基板10上に、半導体膜と、絶縁膜と、を形成することを含む工程と、この半導体膜および絶縁膜にレーザーを照射してアニールする工程と、このアニールする工程の後工程であって、水蒸気でアニールを行う工程と、を備える。



1

【特許請求の範囲】

【請求項1】 バイアス触媒CVDまたは高密度バイアス触媒CVDを利用して、基板に半導体膜を形成する半導体膜形成方法であって、
真空容器に少なくとも原料ガスを供給し、前記真空容器中に配置された前記基板と電極との間にグロー放電開始電圧以下の電界を印加して、前記基板上に半導体膜を形成することを含む半導体膜形成工程と、
前記形成された半導体膜にレーザーを照射し、前記形成された半導体膜をレーザーでアニールするレーザーアニール工程と、

を備えたことを特徴とする半導体膜形成方法。

【請求項2】 前記半導体膜形成工程の前から、前記真空容器に水素を含むキャリアガスを常時供給し、該供給されたキャリアガスで発生した活性化水素イオン H^* で前記基板上をクリーニングするクリーニング工程を備え、

前記クリーニング工程と、前記半導体膜形成工程とを行うことを特徴とする請求項1記載の半導体膜形成方法。

【請求項3】 前記半導体膜形成工程の前から、前記真空容器に水素を含むキャリアガスを供給し、該供給されたキャリアガスで発生した活性化水素イオン H^* で前記基板上をクリーニングするクリーニング工程と、

前記キャリアガスの供給を、前記半導体膜形成工程の前、途中、後の少なくとも一つで増減する工程と、
前記半導体膜形成工程と、を行うことを特徴とする請求項1記載の半導体膜形成方法。

【請求項4】 前記真空容器内の成膜室で前記半導体膜形成工程を行い、

前記真空容器内のレーザーアニール室で前記レーザーアニール工程を行い、前記半導体膜形成工程と前記レーザーアニール工程とを前記真空容器内で連続して行うことを特徴とする請求項1記載の半導体膜形成方法。

【請求項5】 前記成膜室で、前記レーザーでアニールされた半導体膜上に絶縁膜を成膜し、
前記半導体膜形成工程と前記レーザーアニール工程と前記絶縁膜の成膜とを前記真空容器内で連続して行うことを特徴とする請求項1記載の半導体膜形成方法。

【請求項6】 バイアス触媒CVDまたは高密度バイアス触媒CVDを利用して、基板に半導体膜を形成する半導体膜形成方法であって、
真空容器に少なくとも原料ガスを供給し、前記真空容器中に配置された前記基板と電極との間にグロー放電開始電圧以下の電界を印加して、前記基板上に、半導体膜と、絶縁膜と、を形成することを含む半導体膜および絶縁膜形成工程と、

前記形成された半導体膜および絶縁膜にレーザーを照射し、前記形成された半導体膜および絶縁膜をレーザーでアニールするレーザーアニール工程と、を備えたことを特徴とする半導体膜形成方法。

2

【請求項7】 前記真空容器とは異なるレーザーアニール装置内で前記レーザーアニール工程を行うことを特徴とする請求項1または6記載の半導体膜形成方法。

【請求項8】 前記真空容器内の成膜室で半導体膜および絶縁膜形成工程を行い、

前記真空容器内のレーザーアニール室で前記レーザーアニール工程を行い、

前記半導体膜および絶縁膜形成工程と前記レーザーアニール工程とを前記真空容器内で連続して行うことを特徴とする請求項6記載の半導体膜形成方法。

【請求項9】 前記真空容器内の半導体膜成膜室で半導体膜を形成し、

前記真空容器内の絶縁膜成膜室で絶縁膜を形成し、

前記真空容器内のレーザーアニール室で前記レーザーアニール工程を行い、

前記半導体膜の形成と前記絶縁膜の形成と前記レーザーアニール工程とを前記真空容器内で連続して行うことを特徴とする請求項6記載の半導体膜形成方法。

【請求項10】 前記半導体膜形成工程または前記半導体膜および絶縁膜形成工程では、前記半導体膜として、該半導体膜内の少なくともキャリアチャンネル領域における酸素、炭素、窒素のそれぞれの濃度が 1×10^{18} atoms/cm³以下、水素濃度が0.01原子%/cm³以上である半導体膜を形成し、

前記レーザーアニール工程では、前記半導体膜をレーザーアニールして、該半導体膜の少なくともキャリアチャンネル領域における酸素、炭素、窒素のそれぞれの濃度が 1×10^{18} atoms/cm³以下、水素濃度が0.01原子%/cm³以上の半導体膜とすることを特徴とする請求項1または6記載の半導体膜形成方法。

【請求項11】 前記バイアス触媒CVDまたは高密度バイアス触媒CVDを、バイアス減圧CVDまたはバイアス常圧CVDとした場合における前記半導体膜形成工程または前記半導体膜および絶縁膜形成工程での前記半導体膜として、該半導体膜内の少なくともキャリアチャンネル領域における酸素、炭素、窒素のそれぞれの濃度が 1×10^{18} atoms/cm³以下、水素濃度が0.01原子%/cm³以上である半導体膜を形成し、
前記レーザーアニール工程で、前記半導体膜をレーザーアニールして、該半導体膜内の少なくともキャリアチャンネル領域における酸素、炭素、窒素のそれぞれの濃度が 1×10^{18} atoms/cm³以下、水素濃度が0.01原子%/cm³以上の半導体膜とすることを特徴とする請求項1または6記載の半導体膜形成方法。

【請求項12】 バイアス触媒CVDまたは高密度バイアス触媒CVDを利用して、基板に半導体膜を形成する半導体膜形成方法であって、

真空容器に少なくとも原料ガスを供給し、前記真空容器中に配置された前記基板と電極との間にグロー放電開始電圧以下の電界を印加して、前記基板上に、半導体膜

と、絶縁膜と、を形成することを含む半導体膜および絶縁膜形成工程と、前記形成された半導体膜および絶縁膜を水蒸気でアニールする水蒸気アニール工程と、を備えたことを特徴とする半導体膜形成方法。

【請求項13】 前記真空容器とは異なる水蒸気アニール装置内で前記水蒸気アニール工程を行うことを特徴とする請求項12記載の半導体膜形成方法。

【請求項14】 前記真空容器内の成膜室で半導体膜および絶縁膜形成工程を行い、

前記真空容器内の水蒸気アニール室で前記水蒸気アニール工程を行い、

前記半導体膜および絶縁膜形成工程と前記水蒸気アニール工程とを前記真空容器内で連続して行うことを特徴とする請求項12記載の半導体膜形成方法。

【請求項15】 前記真空容器内の半導体膜成膜室で半導体膜を形成し、

前記真空容器内の絶縁膜成膜室で絶縁膜を形成し、

前記真空容器内の水蒸気アニール室で前記水蒸気アニール工程を行い、

前記半導体膜の形成と前記絶縁膜の形成と前記水蒸気アニール工程とを前記真空容器内で連続して行うことを特徴とする請求項12記載の半導体膜形成方法。

【請求項16】 前記半導体膜および絶縁膜形成工程では、前記半導体膜として、該半導体膜内の少なくともキャリアチャンネル領域における酸素、炭素、窒素のそれぞれの濃度が $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、水素濃度が 0.01 原子\%/cm^3 以上である半導体膜を形成し、

前記水蒸気アニール工程では、前記半導体膜を水蒸気アニールして、該半導体膜内の少なくともキャリアチャンネル領域における酸素、炭素、窒素のそれぞれの濃度が $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、水素濃度が 0.01 原子\%/cm^3 以上の半導体膜とすることを特徴とする請求項12記載の半導体膜形成方法。

【請求項17】 前記バイアス触媒CVDまたは高密度バイアス触媒CVDを、バイアス減圧CVDまたはバイアス常圧CVDとした場合における前記半導体膜および絶縁膜形成工程での前記半導体膜として、該半導体膜内の少なくともキャリアチャンネル領域における酸素、炭素、窒素のそれぞれの濃度が $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、水素濃度が 0.01 原子\%/cm^3 以上である半導体膜を形成し、

前記水蒸気アニール工程で、前記半導体膜を水蒸気アニールして、該半導体膜内の少なくともキャリアチャンネル領域における酸素、炭素、窒素のそれぞれの濃度が $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、水素濃度が 0.01 原子\%/cm^3 以上の半導体膜とすることを特徴とする請求項12記載の半導体膜形成方法。

【請求項18】 前記半導体膜が単結晶シリコンである場合、少なくともシリコン膜形成領域に段差を形成し、

前記段差を含むシリコン膜形成領域に単結晶シリコン膜をグラフトエピタキシャル成長させることを特徴とする請求項12記載の半導体膜形成方法。

【請求項19】 前記半導体膜が単結晶シリコンである場合、少なくともシリコン膜形成領域に単結晶シリコンと格子整合の良い物質層を形成し、該物質層を含むシリコン膜形成領域に単結晶シリコン膜をヘテロエピタキシャル成長させることを特徴とする請求項12記載の半導体膜形成方法。

【請求項20】 前記単結晶シリコンと格子整合の良い物質層は、サファイアまたはスピネル構造体またはフッ化カルシウムを含む群より選ばれた、少なくとも一種以上の物質よりなることを特徴とする請求項19記載の半導体膜形成方法。

【請求項21】 バイアス触媒CVDまたは高密度バイアス触媒CVDを利用して、基板に半導体膜を形成する半導体膜形成方法であって、真空容器に少なくとも原料ガスを供給し、前記真空容器中に配置された前記基板と電極との間にグロー放電開始電圧以下の電界を印加して、前記基板上に、半導体膜と、絶縁膜と、を形成することを含む半導体膜および絶縁膜形成工程と、

前記形成された半導体膜および絶縁膜にレーザーを照射し、前記形成された半導体膜および絶縁膜をレーザーでアニールするレーザーアニール工程と、該レーザーアニール工程の後工程であって、水蒸気でアニールを行う水蒸気アニール工程と、を備えたことを特徴とする半導体膜形成方法。

【請求項22】 前記半導体膜および絶縁膜形成工程の前から、前記真空容器に水素を含むキャリアガスを常時供給し、該供給されたキャリアガスで発生した活性化水素イオン H^* で前記基板上をクリーニングするクリーニング工程を備え、

前記クリーニング工程と、前記半導体膜および絶縁膜形成工程とを行うことを特徴とする請求項6、12、21いずれか記載の半導体膜形成方法。

【請求項23】 前記半導体膜および絶縁膜形成工程の前から、前記真空容器に水素を含むキャリアガスを供給し、該供給されたキャリアガスで発生した活性化水素イオン H^* で前記基板上をクリーニングするクリーニング工程と、

前記キャリアガスの供給を、前記半導体膜および絶縁膜形成工程の前、途中、後の少なくとも一つで増減する工程と、

前記半導体膜および絶縁膜形成工程と、を行うことを特徴とする請求項6、12、21いずれか記載の半導体膜形成方法。

【請求項24】 前記真空容器とは異なるレーザーアニール装置内で前記レーザーアニール工程を行い、

前記真空容器とは異なる水蒸気アニール装置内で前記水

蒸気アニール工程を行うことを特徴とする請求項21記載の半導体膜形成方法。

【請求項25】 前記真空容器内の成膜室で半導体膜および絶縁膜形成工程を行い、
前記真空容器内のレーザーアニール室で前記レーザーアニール工程を行い、
前記真空容器内の水蒸気アニール室で前記水蒸気アニール工程を行い、
前記半導体膜および絶縁膜形成工程と前記レーザーアニール工程と前記水蒸気アニール工程とを前記真空容器内で連続して行うことを特徴とする請求項21記載の半導体膜形成方法。

【請求項26】 前記真空容器内の半導体膜成膜室で半導体膜を形成し、
前記真空容器内の絶縁膜成膜室で絶縁膜を形成し、
前記真空容器内のレーザーアニール室で前記レーザーアニール工程を行い、
前記真空容器内の水蒸気アニール室で前記水蒸気アニール工程を行い、
前記半導体膜の形成と前記絶縁膜の形成と前記レーザーアニール工程と前記水蒸気アニール工程とを前記真空容器内で連続して行うことを特徴とする請求項21記載の半導体膜形成方法。

【請求項27】 前記半導体膜および絶縁膜形成工程では、前記半導体膜として、該半導体膜内の少なくともキャリアチャンネル領域における酸素、炭素、窒素のそれぞれの濃度が 1×10^{18} atoms/cm³以下、水素濃度が0.01原子%/cm³以上である半導体膜を形成し、
前記水蒸気アニール工程では、前記半導体膜を水蒸気アニールして、該半導体膜内の少なくともキャリアチャンネル領域における酸素、炭素、窒素のそれぞれの濃度が 1×10^{18} atoms/cm³以下、水素濃度が0.01原子%/cm³以上の半導体膜とし、
前記レーザーアニール工程では、前記半導体膜をレーザーアニールして、該半導体膜内の少なくともキャリアチャンネル領域における酸素、炭素、窒素のそれぞれの濃度が 1×10^{18} atoms/cm³以下、水素濃度が0.01原子%/cm³以上の半導体膜とすることを特徴とする請求項21記載の半導体膜形成方法。

【請求項28】 前記バイアス触媒CVDまたは高密度バイアス触媒CVDを、バイアス減圧CVDまたはバイアス常圧CVDとした場合における前記半導体膜および絶縁膜形成工程での前記半導体膜として、該半導体膜内の少なくともキャリアチャンネル領域における酸素、炭素、窒素のそれぞれの濃度が 1×10^{18} atoms/cm³以下、水素濃度が0.01原子%/cm³以上である半導体膜を形成し、

前記水蒸気アニール工程で、前記半導体膜を水蒸気アニールして、該半導体膜の少なくともキャリアチャンネル

領域における酸素、炭素、窒素のそれぞれの濃度が 1×10^{18} atoms/cm³以下、水素濃度が0.01原子%/cm³以上の半導体膜とし、

前記レーザーアニール工程で、前記半導体膜をレーザーアニールして、該半導体膜内の少なくともキャリアチャンネル領域における酸素、炭素、窒素のそれぞれの濃度が 1×10^{18} atoms/cm³以下、水素濃度が0.01原子%/cm³以上の半導体膜とすることを特徴とする請求項21記載の半導体膜形成方法。

【請求項29】 前記バイアス触媒CVDまたは高密度バイアス触媒CVDを、バイアス減圧CVDまたはバイアス常圧CVDとしたことを特徴とする請求項1、6、12、21いずれか記載の半導体膜形成方法。

【請求項30】 バイアス触媒CVDまたは高密度バイアス触媒CVDを利用してトップゲート型TFTを製造する製造方法であって、
真空容器に少なくとも原料ガスを供給し、前記真空容器中に配置された前記基板と電極との間にグロー放電開始電圧以下の電界を印加して、前記真空容器中で、基板上に、保護膜と、半導体膜と、ゲート絶縁膜と、を連続成膜して多結晶半導体膜とし、

その後、前記半導体膜をレーザーアニール処理し、
次いで、ソース/トップゲート/ドレイン電極を形成してなることを特徴とする薄膜半導体装置の製造方法。

【請求項31】 バイアス触媒CVDまたは高密度バイアス触媒CVDを利用してボトムゲート型TFTを製造する製造方法であって、

基板上にボトムゲート電極を形成し、
真空容器に少なくとも原料ガスを供給し、前記真空容器中に配置された前記基板と電極との間にグロー放電開始電圧以下の電界を印加して、前記真空容器中で、ボトムゲート電極上に保護膜と、ボトムゲート絶縁膜と、半導体膜と、保護膜とを連続成膜し、
その後で、前記半導体膜をレーザーアニール処理して多結晶半導体膜とし、

次いで、ソース/ドレイン電極を形成してなることを特徴とする薄膜半導体装置の製造方法。

【請求項32】 バイアス触媒CVDまたは高密度バイアス触媒CVDを利用してデュアルゲート型TFTを製造する製造方法であって、

基板上にボトムゲート電極を形成し、
真空容器に少なくとも原料ガスを供給し、前記真空容器中に配置された前記基板と電極との間にグロー放電開始電圧以下の電界を印加して、前記真空容器中で、ボトムゲート電極上に保護膜と、ボトムゲート絶縁膜と、半導体膜と、トップゲート絶縁膜とを連続成膜し、

その後、前記半導体膜をレーザーアニール処理して多結晶半導体膜とし、

次いで、ソース/トップゲート/ドレイン電極を形成してなることを特徴とする薄膜半導体装置の製造方法。

【請求項33】 前記真空容器とは異なるレーザーアニール装置内で前記レーザーアニール処理を行うことを特徴とする請求項30、31、32いずれか記載の薄膜半導体装置の製造方法。

【請求項34】 前記真空容器内の成膜室で前記半導体膜および前記絶縁膜を成膜し、前記真空容器内のレーザーアニール室で前記レーザーアニール処理を行い、前記半導体膜および絶縁膜の成膜と前記レーザーアニール処理とを前記真空容器内で連続して行うことを特徴とする請求項30、31、32いずれか記載の薄膜半導体装置の製造方法。

【請求項35】 前記真空容器内の半導体膜成膜室で前記半導体膜を成膜し、前記真空容器内の絶縁膜成膜室で前記絶縁膜を形成し、前記真空容器内のレーザーアニール室で前記レーザーアニール処理を行い、前記半導体膜の形成と前記絶縁膜の形成と前記レーザーアニール処理とを前記真空容器内で連続して行うことを特徴とする請求項30、31、32いずれか記載の薄膜半導体装置の製造方法。

【請求項36】 バイアス触媒CVDまたは高密度バイアス触媒CVDを利用してトップゲート型TFTを製造する製造方法であって、真空容器に少なくとも原料ガスを供給し、前記真空容器中に配置された前記基板と電極との間にグロー放電開始電圧以下の電界を印加して、前記真空容器中で、前記基板上に、保護膜と、半導体膜と、ゲート絶縁膜と、を連続成膜し、その後、ソース/トップゲート/ドレイン電極を形成し、次いで、低圧高温又は高圧高温で、水蒸気アニール処理を行い、その後、前記ソース/トップゲート/ドレイン電極のプラズマクリーニング又はスパッタクリーニングを行うことを特徴とする薄膜半導体装置の製造方法。

【請求項37】 バイアス触媒CVDまたは高密度バイアス触媒CVDを利用してボトムゲート型TFTを製造する製造方法であって、基板上にボトムゲート電極を形成し、真空容器に少なくとも原料ガスを供給し、前記真空容器中に配置された前記基板と電極との間にグロー放電開始電圧以下の電界を印加して、前記真空容器中で、ボトムゲート電極上に保護膜と、ボトムゲート絶縁膜と、半導体膜と、保護膜とを連続成膜し、その後、ソース/ドレイン電極を形成し、次いで、低圧高温又は高圧高温で、水蒸気アニール処理を行い、その後、前記ボトムゲート電極および前記ソース/ドレイン電極のプラズマクリーニング又はスパッタクリーニ

ングを行うことを特徴とする薄膜半導体装置の製造方法。

【請求項38】 バイアス触媒CVDまたは高密度バイアス触媒CVDを利用してデュアルゲート型TFTを製造する製造方法であって、基板上にボトムゲート電極を形成し、真空容器に少なくとも原料ガスを供給し、前記真空容器中に配置された前記基板と電極との間にグロー放電開始電圧以下の電界を印加して、前記真空容器中で、ボトムゲート電極上に保護膜と、ボトムゲート絶縁膜と、半導体膜と、トップゲート絶縁膜とを連続成膜し、その後、ソース/トップゲート/ドレイン電極を形成し、次いで、低圧高温又は高圧高温で、水蒸気アニール処理を行い、その後、前記ボトムゲート電極および前記ソース/トップゲート/ドレイン電極のプラズマクリーニング又はスパッタクリーニングを行うことを特徴とする薄膜半導体装置の製造方法。

【請求項39】 バイアス触媒CVDまたは高密度バイアス触媒CVDを利用してトップゲート型TFTを製造する製造方法であって、真空容器に少なくとも原料ガスを供給し、前記真空容器中に配置された前記基板と電極との間にグロー放電開始電圧以下の電界を印加して、前記真空容器中で、基板上に、保護膜と、半導体膜と、ゲート絶縁膜と、を連続成膜し、その後、前記半導体膜をレーザーアニール処理して多結晶半導体膜とし、次いでソース/トップゲート/ドレイン電極を形成し、次いで低圧高温又は高圧高温で、水蒸気アニール処理を行い、その後、前記ソース/トップゲート/ドレイン電極のプラズマクリーニング又はスパッタクリーニングを行うことを特徴とする薄膜半導体装置の製造方法。

【請求項40】 バイアス触媒CVDまたは高密度バイアス触媒CVDを利用してボトムゲート型TFTを製造する製造方法であって、基板上にボトムゲート電極を形成し、真空容器に少なくとも原料ガスを供給し、前記真空容器中に配置された前記基板と電極との間にグロー放電開始電圧以下の電界を印加して、前記真空容器中で、ボトムゲート電極上に保護膜と、ボトムゲート絶縁膜と、半導体膜と、保護膜とを連続成膜し、その後で、前記半導体膜をレーザーアニール処理して多結晶半導体膜とし、次いでソース/ドレイン電極を形成し、次いで低圧高温又は高圧高温で、水蒸気アニール処理を行い、

その後、前記ボトムゲート電極および前記ソース/ドレ

イン電極のプラズマクリーニング又はスパッタクリーニングを行うことを特徴とする薄膜半導体装置の製造方法。

【請求項41】 バイアス触媒CVDまたは高密度バイアス触媒CVDを利用してデュアルゲート型TFTを製造する製造方法であって、

基板上にボトムゲート電極を形成し、

真空容器に少なくとも原料ガスを供給し、前記真空容器中に配置された前記基板と電極との間にグロー放電開始電圧以下の電界を印加して、前記真空容器中で、ボトムゲート電極上に保護膜と、ボトムゲート絶縁膜と、半導体膜と、トップゲート絶縁膜とを連続成膜し、

その後、前記半導体膜をレーザーアニール処理して多結晶半導体膜とし、

次いで、ソース/トップゲート/ドレイン電極を形成し、

次いで、低圧高温又は高圧高温で、水蒸気アニール処理を行い、

その後、前記ボトムゲート電極および前記ソース/トップゲート/ドレイン電極のプラズマクリーニング又はスパッタクリーニングを行うことを特徴とする薄膜半導体装置の製造方法。

【請求項42】 前記バイアス触媒CVDまたは高密度バイアス触媒CVDを、バイアス減圧CVDまたはバイアス常圧CVDとしたことを特徴とする請求項30、31、32、36、37、38、39、40、41いずれか記載の薄膜半導体装置の製造方法。

【請求項43】 前記真空容器に水素を含むキャリアガスを常時供給し、該供給されたキャリアガスで発生した活性化水素イオン H^* で前記基板上をクリーニングするクリーニング工程を備え、

前記膜の成膜と前記クリーニング工程とを繰り返し、或いは前記クリーニング工程の後で前記膜の成膜を繰り返すことを特徴とする請求項30、31、32、36、37、38、39、40、41いずれか記載の薄膜半導体装置の製造方法。

【請求項44】 前記真空容器に水素を含むキャリアガスを供給し、該供給されたキャリアガスで発生した活性化水素イオン H^* で前記基板上をクリーニングするクリーニング工程と、

前記キャリアガスの供給を、前記膜を形成する前、途中、後の少なくとも一つで増減する工程と、

前記膜の形成と、を行うことを特徴とする請求項30、31、32、36、37、38、39、40、41いずれか記載の薄膜半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体膜形成方法及び薄膜半導体装置の製造方法に係り、特に高品質の薄膜半導体装置を製造することが可能であるとともに、大型

の表示装置や固体撮像装置に適用可能な薄膜半導体装置を製造することが可能な半導体膜形成方法および薄膜半導体装置の製造方法に関する。

【0002】

【従来の技術】 従来の液晶表示装置等に使用されてきた絶縁ゲート型ポリシリコンTFTは、低耐熱性基板上に、プラズマCVD法等でアモルファスシリコン膜を形成し、エキシマレーザーアニール処理でポリシリコン膜を形成したものが一般的である。そして、ポリシリコン膜形成後に、プラズマCVD法等でゲート絶縁膜（酸化シリコン膜等）を形成しているが、この中の欠陥（プラズマダメージ）や不純物に起因する正電荷が、ゲート絶縁膜と半導体との界面近傍に存在すると、フラットバンド電圧のシフト（移動）を来す。これが $n\text{-ch}$ MISトランジスタのディプリーション化、 $p\text{-ch}$ MISトランジスタのオン電圧の増大化を引き起こして、しきい値電圧の増大化現象につながり、これらのトランジスタを用いた回路は、集積回路化に問題があるという不都合がある。

【0003】 上記正電荷は、ゲート絶縁膜中、例えば酸化シリコン膜中のシリコンのダングリングボンド（未結合手）によって生じるものと考えられている。この正電荷が生じるのを防ぐ為に、ゲート絶縁膜の成膜後に、大気等の酸素雰囲気中、又は水素ガスを含む還元性ガス中で熱処理を行い、欠陥の補償を行うポストアニール法が開発されている。しかし、このポストアニール法は、一般に400℃以上の高温加熱が必要であるという問題点がある。また、ポストアニール法によると、絶縁膜質によっては、かえってフラットバンド電圧のシフトを増大させる場合があるという不都合がある。

【0004】 そこで、プラズマCVD法等でアモルファスシリコン膜を形成した後、エキシマレーザーアニール処理を行ってポリシリコン膜を形成し、その後水蒸気中でポリシリコン膜のアニール処理を行う方法が開発されている。この方法を用いた場合の効果として、絶縁膜及び半導体の改質が図られると共に、TFTを形成した場合の移動度が向上し、オーミックコンタクトが改善され、ホットエレクトロン劣化が抑制され、集積回路の高速動作化が実現される等の効果が報告されている。

【0005】 この方法では、アルミ電極形成後に水蒸気アニール処理を行っている。この理由の一つは、アルミ電極形成前に水蒸気アニール処理を行うと、オーミックコンタクトが取れにくいためである。しかし、アルミ電極形成後に水蒸気アニール処理を行うと、アルミ電極表面に酸化アルミニウム及び水酸化アルミニウム膜が形成されて、外部への電極取りだしが困難となる。つまり、金線ボンディングや無電解 Ni/Au メッキと半田バンブとのオーミックコンタクトが不十分になりやすく、形成されたTFTの品質及び信頼性に問題が生じる。

【0006】 一方、ポリシリコン膜の移動度の改善とい

う観点からは、プラズマCVD、減圧CVD法等により形成したアモルファス／ポリシリコン膜を、単に高温あるいはエキシマレーザーアニール（ELA）処理すること（以下「ELAによるポリシリコンTFT製法」とする）により、ポリシリコン膜の移動度の改善が図られてきた。その結果、この方法で作成したポリシリコンTFTの電子移動度は、 $80 \sim 120 \text{ cm}^2 / \text{V} \cdot \text{sec}$ 前後となり、高精細化にも対応できるので、最近では駆動回路一体型ポリシリコンTFTLCDが注目されている。

【0007】しかし、このELAによるポリシリコンTFT製法では、 $80 \sim 120 \text{ cm}^2 / \text{V} \cdot \text{sec}$ 程度の電子移動度を得るのが限界であった。また、エキシマレーザー出力が不安定であることや、生産性の低さ、装置が大型化することにより装置が高価になること、歩留が低く、品質の向上が望まれること等の問題がある。特に、1m四方の大型ガラス基板になると、これらの問題が拡大し、ますます半導体の性能、品質の低下およびコストの上昇が顕著となる。

【0008】一方、上記各方法では、プラズマCVD法を用いていることから、プラズマ電界の不均一性、ゆらぎ、プラズマ誘起電荷等による基板上の電界不均一性が生じ、これらの影響が基板に及び、トランジスタへのダメージ、ショート等（ゲート酸化膜などのチャージアップ又は放電破壊、配線間の放電など）が発生することがあるという問題点がある。この現象は、特に、プラズマのオン／オフ時に発生し易い傾向にある。また、プラズマからの発光による紫外線損傷の可能性がある点、大面積でのプラズマ放電が難しく、定在波の発生もあり、均一性が得にくい点、装置が複雑でかつ高価であり、メンテナンスが繁雑である点なども問題となっている。

【0009】そこで、近年、熱CVDの一種の触媒CVD法という優れた方法が開発され、実用化の検討が推進されている。この触媒CVD法は、ガラス基板の様な絶縁性基板上に、ポリシリコン膜、窒化シリコン膜を低温で作製し得る方法である。触媒CVD法では、アニールなしで、 $20 \sim 50 \text{ cm}^2 / \text{V} \cdot \text{sec}$ 程度のホール素子の電子移動度を得ている。

【0010】しかし、上記触媒CVD法によると、次のような問題点がある。すなわち、上記触媒CVDで得ている $20 \sim 50 \text{ cm}^2 / \text{V} \cdot \text{sec}$ 程度のホール素子の電子移動度では、良質なTFTデバイスを得ることができない。良質なTFTデバイスを作製するには、移動度の向上が必要である。また、ガラス基板上にポリシリコン膜の形成をしようと、この成膜条件次第では初期のアモルファスシリコンの遷移層（ $5 \sim 10 \text{ nm}$ ）が形成されやすいので、ボトムゲート型TFTとした場合は所望の移動度を得にくいという問題がある。なお、一般に駆動回路一体型ポリシリコンTFTLCDとしては、ボトムゲート型TFTが歩留及び生産性の面で製造しやすいため、この所望の電子／正孔移動度を得にくいという問題

が、さらにネックとなる。また、この触媒CVD法は、形成された膜の特性、品質及び信頼性等に課題が多いのが現状である。

【0011】

【発明が解決しようとする課題】本発明の目的は、上記各方法における課題を解決するためになされたもので、基板上に高品質な半導体膜を形成するための半導体膜形成方法を提供することにある。本発明の他の目的は、高品質で且つ大型の表示装置、固体撮像装置等にも適用可能な薄膜半導体装置の製造方法を提供することにある。本発明のさらに他の目的は、高品質な半導体膜の形成及び薄膜半導体装置の製造を可能とするとともに、十分な電子／正孔移動度を得ることが可能な半導体膜形成方法及び薄膜半導体装置の製造方法を提供することにある。本発明のさらに他の目的は、熱触媒体の劣化を防ぐことが可能な半導体膜形成方法及び薄膜半導体装置の製造方法を提供することにある。

【0012】

【課題を解決するための手段】上記課題は、請求項1に係る発明によれば、バイアス触媒CVDまたは高密度バイアス触媒CVDを利用して、基板に半導体膜を形成する半導体膜形成方法であって、真空容器に少なくとも原料ガスを供給し、前記真空容器中に配置された前記基板と電極との間にグロー放電開始電圧以下の電界を印加して、前記基板上に半導体膜を形成することを含む半導体膜形成工程と、前記形成された半導体膜にレーザーを照射し、前記形成された半導体膜をレーザーでアニールするレーザーアニール工程と、を備えることにより解決される。

【0013】上記のように、基板と電極との間にグロー放電開始電圧以下の電界を印加しているため、反応種に対し、触媒体の触媒作用とその熱エネルギーに加えて上記電圧による加速電界を与えることとなり、指向性の運動エネルギーが大きくなって反応種を基板上に効率良く導くことができると共に、基板上での泳動及び生成過程の膜中での拡散が十分となる。従って、従来の触媒CVD法に比べて、触媒体で生成された反応種の運動エネルギーおよび指向性を電界で独立してコントロールできるため、生成膜の基板との密着性向上、生成膜密度の向上、生成膜均一性又は平滑性の向上、ヒアホールなどへの埋め込み性とステップカバレッジの向上、生成膜のストレスコントロール等が可能となり、成膜速度向上、原料ガスの利用効率向上等による生産性向上、高品質膜が実現する。また、基板温度を低温化できることから、低歪点ガラスおよび耐熱性樹脂基板の採用が可能となり、コストダウンを図ることができる。

【0014】また、半導体膜をレーザーでアニール処理するように構成しているため、半導体膜のみが瞬時に熱せられ、基板への熱の影響が及びにくくなり、基板の変形を起こすことなく、アモルファスシリコンまたは微結

晶シリコン半導体膜を結晶化でき、又含有しているキャリア不純物の活性化もでき、例えば移動度の大きい半導体膜に変えることができる。しかも、この結晶化、活性化は基板全体を高温にすることなく、低温で行うことができる。

【0015】このとき、前記半導体膜形成工程の前から、前記真空容器に水素を含むキャリアガスを常時供給し、該供給されたキャリアガスで発生した活性化水素イオン H^* で前記基板上をクリーニングするクリーニング工程を備え、前記クリーニング工程と、前記半導体膜形成工程とを行うと好適である。

【0016】このように、半導体膜層を基板上へ形成するときに、水素を含むキャリアガスを常時供給しているので、キャリアガスで発生した活性化水素イオン H^* が、基板表面をクリーニングし、基板上に高品質の半導体膜を形成することができる。活性化水素イオン H^* によるクリーニングは、電界印加によってさらに効果的になる。また、キャリアガスとしての水素ガスを供給し、また熱触媒体を加熱して触媒作用が可能な状態にしておき、複数の膜を連続成膜して、特定の膜、例えばシリコン膜とゲート絶縁膜を連続成膜した場合などは、少なくともゲートチャンネル部を低ストレス、低コンタミとすることができる。さらに、水素を含むキャリアガスが基板の成膜中に常時導入されているので、熱触媒体を他のガスの影響から保護することになり熱触媒体の劣化を防ぐことが可能となる。

【0017】また、半導体膜中の酸素、炭素、窒素のそれぞれの含有量は、少ないほどキャリア（電子／正孔）の流れが良好になり、好ましい。例えば、ポリシリコン膜等の半導体膜中の酸素、炭素、窒素のそれぞれの含有量は、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下であり、かつ水素含有量は、 0.01 原子\%/cm^3 以上であると好適であるが、本発明では、電界印加により、効率よく成膜中に活性化水素イオン H^* にさらされて、半導体膜の酸化やコンタミが低減されるため、上記数値を達成することが可能となる。

【0018】また、前記半導体膜形成工程の前から、前記真空容器に水素を含むキャリアガスを供給し、該供給されたキャリアガスで発生した活性化水素イオン H^* で前記基板上をクリーニングするクリーニング工程と、前記キャリアガスの供給を、前記半導体膜形成工程の前、途中、後の少なくとも一つで増減する工程と、前記半導体膜形成工程と、を行うと好適である。

【0019】これにより、各種の成膜を行うとき、成膜開始後所定時間経過した後に、キャリアガスの導入を低減させることができるので、真空容器において原料ガスの割合が高くなり、基板への半導体膜形成が高速で行われ作業性を向上させることが可能となる。また、基板へ半導体膜を形成するときに、水素を含むキャリアガスを

供給しているため、熱触媒体で発生した活性化水素イオン H^* が基板表面をクリーニングし、基板上に高品質の半導体膜を形成することができる。さらに、キャリアガスとしての水素ガスを供給し、また熱触媒体を加熱して触媒作用が可能な状態にしておき、複数の膜を連続成膜して、特定の膜、例えばシリコン膜とゲート絶縁膜を連続成膜した場合などは、少なくともゲートチャンネル部を低ストレス、低コンタミとすることができる。

【0020】また、各種の成膜を行うとき、半導体膜形成工程の前、後でキャリアガスの導入を増加させることができるので、成膜前後に、熱触媒体により、活性化水素イオン H^* を大量に発生させ、クリーニングによるコンタミ低減、膜ストレス低減等を促進させることができる。このとき、電解を印加しているため、これらの効果を効率よく得ることが可能となる。また、ポリシリコン膜等の半導体膜の絶縁膜との界面における酸素、炭素、窒素それぞれの含有量は、少ないほどキャリア（電子／正孔）の流れが良好になり、好ましい。例えば、少なくともキャリアチャンネル領域のポリシリコン膜等の半導体膜中の酸素、炭素、窒素それぞれの含有量は、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下で、水素の含有量は、 0.01 原子\%/cm^3 以上であると好適であるが、本発明では、半導体膜形成工程の前から、水素ガスを導入すると共に、電界印加により活性化水素イオン H^* を効率よく作用させているため、この数値を達成することが可能となる。

【0021】さらに、前記真空容器内の成膜室で前記半導体膜形成工程を行い、前記真空容器内のレーザーアニール室で前記レーザーアニール工程を行い、前記半導体膜形成工程と前記レーザーアニール工程とを前記真空容器内で連続して行ってもよい。このように構成することにより、真空装置内から取り出すことなく半導体膜形成工程およびレーザーアニール工程を連続して行うことができ、より簡易な工程で薄膜半導体装置等を製造することが可能となる。

【0022】また、前記成膜室で、前記レーザーでアニールされた半導体膜上に絶縁膜を成膜し、前記半導体膜形成工程と前記レーザーアニール工程と前記絶縁膜の成膜とを前記真空容器内で連続して行うように構成しても好適である。このように構成することにより、真空装置内から取り出すことなく半導体膜形成工程およびレーザーアニール工程および絶縁膜の成膜を連続して行うことができ、より簡易な工程で薄膜半導体装置等を製造することが可能となる。

【0023】また、上記課題は、請求項6に係る発明によれば、バイアス触媒CVDまたは高密度バイアス触媒CVDを利用して、基板に半導体膜を形成する半導体膜形成方法であって、前記真空容器に少なくとも原料ガスを供給し、前記真空容器中に配置された前記基板と電極

との間にグロー放電開始電圧以下の電界を印加して、前記基板上に、半導体膜と、絶縁膜と、を形成することを
含む半導体膜および絶縁膜形成工程と、前記形成された
半導体膜および絶縁膜にレーザーを照射し、前記形成さ
れた半導体膜および絶縁膜をレーザーでアニールするレ
ーザーアニール工程と、を備えたことにより解決され
る。

【0024】上記のように、基板と電極との間にグロー
放電開始電圧以下の電界を印加しているため、反応種に
対し、触媒体の触媒作用とその熱エネルギーに加えて上
記電圧による加速電界を与えるため、指向性の運動エネ
ルギーが大きくなって反応種を基板上に効率良く導くこ
とができると共に、基板上での泳動及び生成過程の膜中
での拡散が十分となる。従って、従来の触媒CVD法に
比べて、触媒体で生成された反応種の運動エネルギーお
よび指向性を電界で独立してコントロールできるため、
生成膜の基板との密着性向上、生成膜密度の向上、生成
膜均一性又は平滑性の向上、ピアホールなどへの埋め込
み性とステップカバレッジの向上、生成膜のストレスコ
ントロール等が可能となり、成膜速度向上、原料ガスの
利用効率向上等による生産性向上、高品質膜が実現す
る。また、基板温度を低温化できることから、低歪点ガ
ラスおよび耐熱性樹脂基板の採用が可能となり、コスト
ダウンを図ることができる。

【0025】また、半導体膜をレーザーでアニール処理
するように構成しているため、半導体膜のみが瞬時に熱
せられ、基板への熱の影響が及びにくくなり、基板の変
形を起こすことなく、アモルファスシリコンまたは微結
晶シリコン半導体膜を結晶化でき、又含有しているキャ
リア不純物の活性化もでき、例えば移動度の大きい半導
体膜に変えることができる。しかも、この結晶化、活性
化は基板全体を高温にすることなく、低温で行うことが
できる。

【0026】このとき、前記真空容器とは異なるレーザ
ーアニール装置内で前記レーザーアニール工程を行うと
好適である。また、前記真空容器内の成膜室で半導体膜
および絶縁膜形成工程を行い、前記真空容器内のレーザ
ーアニール室で前記レーザーアニール工程を行い、前記
半導体膜および絶縁膜形成工程と前記レーザーアニール
工程とを前記真空容器内で連続して行うように構成して
もよい。

【0027】また、前記真空容器内の半導体膜成膜室で
半導体膜を形成し、前記真空容器内の絶縁膜成膜室で絶
縁膜を形成し、前記真空容器内のレーザーアニール室で
前記レーザーアニール工程を行い、前記半導体膜の形成
と前記絶縁膜の形成と前記レーザーアニール工程とを前
記真空容器内で連続して行うように構成すると好適であ
る。

【0028】前記半導体膜形成工程または前記半導体膜
および絶縁膜形成工程では、前記半導体膜として、該半

導体膜内の少なくともキャリアチャンネル領域における
酸素、炭素、窒素のそれぞれの濃度が 1×10^{18} atoms/cm³ 以下、水素濃度が0.01原子%/cm³ 以上である半導体膜を形成し、前記レーザーアニール
工程では、前記半導体膜をレーザーアニールして、該半
導体膜の少なくともキャリアチャンネル領域における酸
素、炭素、窒素のそれぞれの濃度が 1×10^{18} atoms/cm³ 以下、水素濃度が0.01原子%/cm³ 以上の半導体膜とすると好適である。

【0029】前記バイアス触媒CVDまたは高密度バイ
アス触媒CVDを、バイアス減圧CVDまたはバイアス
常圧CVDとした場合における前記半導体膜形成工程ま
たは前記半導体膜および絶縁膜形成工程での前記半導
体膜として、該半導体膜内の少なくともキャリアチャン
ネル領域における酸素、炭素、窒素のそれぞれの濃度が
 1×10^{18} atoms/cm³ 以下、水素濃度が0.01原子%/cm³ 以上である半導体膜を形成し、前記レ
ーザーアニール工程で、前記半導体膜をレーザーアニ
ールして、該半導体膜内の少なくともキャリアチャン
ネル領域における酸素、炭素、窒素のそれぞれの濃度が
 1×10^{18} atoms/cm³ 以下、水素濃度が0.01
原子%/cm³ 以上の半導体膜とすると好適である。

【0030】このように、半導体膜内の少なくともキャ
リアチャンネル領域における酸素、炭素、窒素のそれぞ
れの濃度が 1×10^{18} atoms/cm³ 以下として
いるので、キャリア（電子、正孔）の流れが良好にな
り、ゲート電圧/ドレイン電流特性にヒステリシスがな
く、高い周波数において良好なスイッチング特性を得る
ことができる。また、半導体膜内の少なくともキャリア
チャンネル領域における水素濃度を0.01原子%/c
m³ 以上としているので、キャリアチャンネル領域の導
電度を高めることができる。

【0031】また、上記課題は、請求項12に係る発明
によれば、バイアス触媒CVDまたは高密度バイアス触
媒CVDを利用して、基板に半導体膜を形成する半導
体膜形成方法であって、前記真空容器に少なくとも原料ガ
スを供給し、前記真空容器中に配置された前記基板と電
極との間にグロー放電開始電圧以下の電界を印加して、
前記基板上に、半導体膜と、絶縁膜と、を形成すること
を含む半導体膜および絶縁膜形成工程と、前記形成され
た半導体膜および絶縁膜を水蒸気でアニールする水蒸気
アニール工程と、を備えたことにより解決される。

【0032】上記のように、基板と電極との間にグロー
放電開始電圧以下の電界を印加しているため、反応種に
対し、触媒体の触媒作用とその熱エネルギーに加えて上
記電圧による加速電界を与えることとなり、指向性の運
動エネルギーが大きくなって反応種を基板上に効率良く
導くことができると共に、基板上での泳動及び生成過程
の膜中での拡散が十分となる。従って、従来の触媒C
VD法に比べて、触媒体で生成された反応種の運動エネル

ギーおよび指向性を電界で独立してコントロールできるため、生成膜の基板との密着性向上、生成膜密度の向上、生成膜均一性又は平滑性の向上、ピアホールなどへの埋め込み性とステップカバレッジの向上、生成膜のストレスコントロール等が可能となり、成膜速度向上、原料ガスの利用効率向上等による生産性向上、高品質膜が実現する。また、基板温度を低温化できることから、低歪点ガラスおよび耐熱性樹脂基板の採用が可能となり、コストダウンを図ることができる。

【0033】また、水蒸気アニール工程を行うため、400℃以下の低温の加熱処理で効果的に半導体および絶縁膜の改質をはかることができる。また、絶縁膜の改質、すなわち絶縁膜中の水およびOH基を低減することによって、ゲート絶縁膜または半導体膜の、ホットエレクトロン劣化を抑制する効果を得ることができる。

【0034】そして、絶縁膜中の水及びOH基の低減により、例えばゲート絶縁膜において、ホットエレクトロン劣化を抑制する。さらに、ゲート絶縁膜中の欠陥や不純物に起因する正電荷を中性化し、負に寄ったフラットバンド電圧を0V側に近づけることができるので、 $n\text{-ch}$ MISトランジスタにおけるディプリーション型への移行を回避してエンハンスメント型とし、 $p\text{-ch}$ MISトランジスタではしきい値電圧 V_{th} の増大化を回避して確実な動作を行わしめるので、CMOS等の集積回路化を容易に行える。そして、同一半導体基板における素子特性のばらつきを小さくできるので、回路の集積化が容易である。さらに、半導体と絶縁膜の界面特性の向上、すなわちしきい値電圧 V_{th} を下げてオン電流を増大させ、オフ電流を低下させる効果をもたらし、集積回路の高速動作化が実現できる。また、キャリア移動度の増大が期待できる。

【0035】このとき、前記真空容器とは異なる水蒸気アニール装置内で前記水蒸気アニール工程を行うと好適である。このように構成することにより、真空容器内が水蒸気により劣化することを防止することができる。また、酸素の存在により酸化劣化し易い熱触媒体を用いた場合には、水蒸気により熱触媒体が酸化劣化することを防止することができる。

【0036】また、前記真空容器内の成膜室で半導体膜および絶縁膜形成工程を行い、前記真空容器内の水蒸気アニール室で前記水蒸気アニール工程を行い、前記半導体膜および絶縁膜形成工程と前記水蒸気アニール工程とを前記真空容器内で連続して行うように構成してもよい。このように構成することにより、真空装置内から取り出すことなく半導体膜および絶縁膜形成工程および水蒸気アニール工程を連続して行うことができ、より簡易な工程で、生産性よく薄膜半導体装置等を製造することが可能となる。

【0037】さらに、前記真空容器内の半導体膜成膜室で半導体膜を形成し、前記真空容器内の絶縁膜成膜室で

絶縁膜を形成し、前記真空容器内の水蒸気アニール室で前記水蒸気アニール工程を行い、前記半導体膜の形成と前記絶縁膜の形成と前記水蒸気アニール工程とを前記真空容器内で連続して行うように構成すると好適である。

【0038】前記半導体膜および絶縁膜形成工程では、前記半導体膜として、該半導体膜内の少なくともキャリアチャンネル領域における酸素、炭素、窒素のそれぞれの濃度が $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、水素濃度が0.01原子%/ cm^3 以上である半導体膜を形成し、前記水蒸気アニール工程では、前記半導体膜を水蒸気アニールして、該半導体膜内の少なくともキャリアチャンネル領域における酸素、炭素、窒素のそれぞれの濃度が $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、水素濃度が0.01原子%/ cm^3 以上の半導体膜とすると好適である。

【0039】前記バイアス触媒CVDまたは高密度バイアス触媒CVDを、バイアス減圧CVDまたはバイアス常圧CVDとした場合における前記半導体膜形成工程または前記半導体膜および絶縁膜形成工程での前記半導体膜として、該半導体膜内の少なくともキャリアチャンネル領域における酸素、炭素、窒素のそれぞれの濃度が $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、水素濃度が0.01原子%/ cm^3 以上である半導体膜を形成し、前記水蒸気アニール工程で、前記半導体膜を水蒸気アニールして、該半導体膜内の少なくともキャリアチャンネル領域における酸素、炭素、窒素のそれぞれの濃度が $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、水素濃度が0.01原子%/ cm^3 以上の半導体膜とすると好適である。

【0040】このように、半導体膜内の少なくともキャリアチャンネル領域における酸素、炭素、窒素のそれぞれの濃度を $1 \times 10^{19} \text{ atoms/cm}^3$ 以下としているので、キャリア（電子、正孔）の流れが良好になり、ゲート電圧/ドレイン電流特性にヒステリシスがなくなり、高い周波数において良好なスイッチング特性を得ることができる。また、半導体膜内の少なくともキャリアチャンネル領域における水素濃度を0.01原子%/ cm^3 以上としているので、キャリアチャンネル領域の導電度を高めることができる。

【0041】また、前記半導体膜が単結晶シリコンである場合、少なくともシリコン膜形成領域に段差を形成し、前記段差を含むシリコン膜形成領域に単結晶シリコン膜をグラフォエピタキシャル成長させると好適である。即ち、基板に段差を設け、段差を含む基板上に単結晶シリコン膜をグラフォエピタキシャル成長させているので、高い電子/正孔移動度を有し、動作性に優れた単結晶半導体膜を得ることができる。

【0042】前記半導体膜が単結晶シリコンである場合、少なくともシリコン膜形成領域に単結晶半導体と格子整合の良い物質層を形成し、該物質層を含むシリコン膜形成領域に単結晶シリコン膜をヘテロエピタキシャル

10

20

30

40

50

成長させるように構成すると好適である。これにより、高い電子／正孔移動度を有し、動作性に優れた単結晶シリコン膜を得ることができる。

【0043】このとき、前記単結晶シリコンと格子整合の良い物質層は、サファイアまたはスピネル構造体またはフッ化カルシウムを含む群より選ばれた、少なくとも一種以上の物質よりなるように構成するとよい。

【0044】また、上記課題は、請求項21に係る発明によれば、バイアス触媒CVDまたは高密度バイアス触媒CVDを利用して、基板に半導体膜を形成する半導体膜形成方法であって、前記真空容器中に少なくとも原料ガスを供給し、前記真空容器中に配置された前記基板と電極との間にグロー放電開始電圧以下の電界を印加して、前記基板上に、半導体膜と、絶縁膜と、を形成することを含む半導体膜および絶縁膜形成工程と、前記形成された半導体膜および絶縁膜にレーザーを照射し、前記形成された半導体膜および絶縁膜をレーザーでアニールするレーザーアニール工程と、該レーザーアニール工程の後工程であって、水蒸気でアニールを行う水蒸気アニール工程と、を備えることにより解決される。

【0045】上記のように、基板と電極との間にグロー放電開始電圧以下の電界を印加しているため、反応種に対し、触媒体の触媒作用とその熱エネルギーに加えて上記電圧による加速電界を与えることとなり、指向性の運動エネルギーが大きくなって反応種を基板上に効率良く導くことができると共に、基板上での泳動及び生成過程の膜中での拡散が十分となる。従って、従来の触媒CVD法に比べて、触媒体で生成された反応種の運動エネルギーおよび指向性を電界で独立してコントロールできるため、生成膜の基板との密着性向上、生成膜密度の向上、生成膜均一性又は平滑性の向上、ピアホールなどへの埋め込み性とステップカバレッジの向上、生成膜のストレスコントロール等が可能となり、成膜速度向上、原料ガスの利用効率向上等による生産性向上、高品質膜が実現する。また、基板温度を低温化できることから、低歪点ガラスおよび耐熱性樹脂基板の採用が可能となり、コストダウンを図ることができる。また、バイアス触媒CVDを用いることにより、真空容器中に導入された原料ガスを効率よく薄膜として形成することができる。

【0046】また、半導体膜形成後に前記レーザーアニール工程及び前記水蒸気アニール工程を行なうと、例えば半導体膜として、アモルファスシリコン膜または微結晶シリコン膜の場合などは、レーザーアニール工程で大きな粒径のポリシリコン膜を形成し、大きい移動度のポリシリコン膜の形成が可能となる。このように、半導体膜形成工程の後で前記レーザーアニール工程及び前記水蒸気アニール工程を行なうため、低温の加熱処理で効果的に半導体膜の改質をはかることができる。

【0047】このとき、前記半導体膜および絶縁膜形成工程の前から、前記真空容器に水素を含むキャリアガス

を常時供給し、該供給されたキャリアガスで発生した活性化水素イオン H^* で前記基板上をクリーニングするクリーニング工程を備え、前記クリーニング工程と、前記半導体膜および絶縁膜形成工程とを行うと好適である。

【0048】このように、半導体膜層を基板上へ形成するときに、水素を含むキャリアガスを常時供給しているため、水素系キャリアガスから熱触媒体の熱分解および触媒反応により発生した活性化水素イオン H^* が、グロー放電開始電圧以下の電界印加により効率よく基板に集められ、基板表面を効率よくクリーニングし、基板上に高品質の半導体膜を形成することができる。また、キャリアガスとしての水素ガスを供給し、また熱触媒体を加熱して触媒作用が可能な状態にしておき、複数の膜を連続成膜して、特定の膜、例えばシリコン膜とゲート絶縁膜を連続成膜した場合などは、ゲートチャンネル部を低ストレス、低コンタミとすることができる。さらに、水素を含むキャリアガスが基板の成膜中に常時導入されているため、熱触媒体を他のガスの影響から保護することになり熱触媒体の劣化を防ぐことが可能となる。また、酸素の存在により酸化劣化し易い熱触媒体、例えば、表面に高融点金属（タングステン、トリウム含有タングステン、タンタル、モリブデン、シリコン等）が露出した熱触媒体を用いた場合には、残留酸素により熱触媒体が酸化劣化することを低減することができる。

【0049】また、前記半導体膜および絶縁膜形成工程の前から、前記真空容器に水素を含むキャリアガスを供給し、該供給されたキャリアガスで発生した活性化水素イオン H^* で前記基板上をクリーニングするクリーニング工程と、前記キャリアガスの供給を、前記半導体膜および絶縁膜形成工程の前、途中、後の少なくとも一つで増減する工程と、前記半導体膜および絶縁膜形成工程と、を行うように構成してもよい。

【0050】これにより、各種の成膜を行うとき、成膜開始後所定時間経過した後に、キャリアガスの導入を低減、または触媒体5の種類によっては停止させることができるので、真空容器において原料ガスの割合が高くなり、基板への半導体膜形成が高速で行われ作業性を向上させることが可能となる。また、基板へ半導体膜を形成するときに、水素を含むキャリアガスを供給しているため、熱触媒体で発生した活性化水素イオン H^* が基板表面をクリーニングし、基板上に高品質の半導体膜を形成することができる。さらに、キャリアガスとしての水素ガスを供給し、また熱触媒体を加熱して触媒作用が可能な状態にしておき、複数の膜を連続成膜して、特定の膜、例えばシリコン膜とゲート絶縁膜を連続成膜した場合などは、ゲートチャンネル部を低ストレス、低コンタミとすることができる。

【0051】また、各種の成膜を行うとき、半導体膜形成工程の前、後でキャリアガスの導入を増加させることができるので、キャリアガスで発生した活性化水素イ

ンH⁺が基板表面をクリーニングし、基板上に高品質の半導体膜を形成することができる。また、キャリアガスとしての水素ガスを供給し、また熱触媒体を加熱して触媒作用が可能な状態にしておき、複数の膜を連続成膜して、特定の膜、例えばシリコン膜とゲート絶縁膜を連続成膜した場合などは、ゲートチャンネル部を低ストレス、低コンタミとすることができる。さらに、水素を含むキャリアガスが基板の成膜中に常時導入されているので、熱触媒体を他のガスの影響から保護することになり熱触媒体の劣化を防ぐことが可能となる。

【0052】また、バイアス触媒CVDで、ポリシリコン膜を成膜する場合には、このポリシリコン膜中の酸素、炭素、窒素それぞれの含有量は、少ないほどキャリア（電子／正孔）の流れが良好になり、好ましい。例えば、少なくともキャリアチャンネル領域のポリシリコン膜等の半導体膜中の酸素、炭素、窒素それぞれの含有量は、 1×10^{18} atoms/cm³以下、好ましくは 5×10^{18} atoms/cm³以下であると好適であり、さらに水素含有量は0.01原子%/cm³以上であると好適であるが、本発明では、水素ガス導入により、常に成膜中に、電界印加により効率よく活性化水素イオンH⁺にさらされて、半導体膜の酸化やコンタミが低減されるため、上記数値を達成することが可能となる。さらに、レーザーアニール処理を行った後にも、この数値が維持されると好適であるが、本発明では、水素ガスを導入すると共に電界印加しているため、レーザーアニール処理後にもこの数値を達成することが可能となる。

【0053】また、本発明では、水素ガス導入および電界印加により、成膜中常に効率よく活性化水素イオンH⁺にさらされているため、エピタキシャル成長等により単結晶シリコン膜を成膜する場合にも、上記数値を達成することが可能となる。さらに、本発明では、水素ガス導入および電界印加により、成膜中常に効率よく活性化水素イオンH⁺にさらされているため、アモルファスシリコン膜または微結晶シリコン膜を成膜し、これらの膜をレーザーアニール処理して大粒径ポリシリコン膜を得る場合にも、レーザーアニール処理後にもこの数値を達成することが可能となる。上記数値は、特に、MISFTの場合、チャンネル領域となるポリシリコン膜のゲート絶縁膜との界面において達成されることが望まれるが、本発明によれば、特にポリシリコン膜のゲート絶縁膜との界面の酸素含有量を上記数値とすることが可能となる。

【0054】さらに、前記真空容器とは異なるレーザーアニール装置内で前記レーザーアニール工程を行い、前記真空容器とは異なる水蒸気アニール装置内で前記水蒸気アニール工程を行うように構成しても好適である。

【0055】前記真空容器内の成膜室で半導体膜および絶縁膜形成工程を行い、前記真空容器内のレーザーアニ

ール室で前記レーザーアニール工程を行い、前記真空容器内の水蒸気アニール室で前記水蒸気アニール工程を行い、前記半導体膜および絶縁膜形成工程と前記レーザーアニール工程と前記水蒸気アニール工程とを前記真空容器内で連続して行うように構成してもよい。

【0056】また、前記真空容器内の半導体膜成膜室で半導体膜を形成し、前記真空容器内の絶縁膜成膜室で絶縁膜を形成し、前記真空容器内のレーザーアニール室で前記レーザーアニール工程を行い、前記真空容器内の水蒸気アニール室で前記水蒸気アニール工程を行い、前記半導体膜の形成と前記絶縁膜の形成と前記レーザーアニール工程と前記水蒸気アニール工程とを前記真空容器内で連続して行うように構成すると好適である。

【0057】これらのように構成することにより、真空装置内から取り出すことなく半導体膜の形成および絶縁膜の形成およびレーザーアニール工程および水蒸気アニール工程を連続して行うことができ、より簡易な工程で薄膜半導体装置等を製造することが可能となる。

【0058】前記前記半導体膜および絶縁膜形成工程では、前記半導体膜として、該半導体膜内の少なくともキャリアチャンネル領域における酸素、炭素、窒素のそれぞれの濃度が 1×10^{18} atoms/cm³以下、水素濃度が0.01原子%/cm³以上である半導体膜を形成し、前記水蒸気アニール工程では、前記半導体膜を水蒸気アニールして、該半導体膜内の少なくともキャリアチャンネル領域における酸素、炭素、窒素のそれぞれの濃度が 1×10^{18} atoms/cm³以下、水素濃度が0.01原子%/cm³以上の半導体膜とし、前記レーザーアニール工程では、前記半導体膜をレーザーアニールして、該半導体膜内の少なくともキャリアチャンネル領域における酸素、炭素、窒素のそれぞれの濃度が 1×10^{18} atoms/cm³以下、水素濃度が0.01原子%/cm³以上の半導体膜とすると好適である。

【0059】前記バイアス触媒CVDまたは高密度バイアス触媒CVDを、バイアス減圧CVDまたはバイアス常圧CVDとした場合における前記半導体膜形成工程または前記半導体膜および絶縁膜形成工程での前記半導体膜として、該半導体膜内の少なくともキャリアチャンネル領域における酸素、炭素、窒素のそれぞれの濃度が 1×10^{18} atoms/cm³以下、水素濃度が0.01原子%/cm³以上である半導体膜を形成し、前記水蒸気アニール工程で、前記半導体膜を水蒸気アニールして、該半導体膜の少なくともキャリアチャンネル領域における酸素、炭素、窒素のそれぞれの濃度が 1×10^{18} atoms/cm³以下、水素濃度が0.01原子%/cm³以上の半導体膜とし、前記レーザーアニール工程で、前記半導体膜をレーザーアニールして、該半導体膜内の少なくともキャリアチャンネル領域における酸素、炭素、窒素のそれぞれの濃度が 1×10^{18} ato

ms/cm^3 以下、水素濃度が 0.01 原子%/ cm^3 以上の半導体膜とすると好適である。

【0060】このように、半導体膜内の少なくともキャリアチャンネル領域における酸素、炭素、窒素のそれぞれの濃度を 1×10^{18} atoms/ cm^3 以下としているので、キャリア（電子、正孔）の流れが良好になり、ゲート電圧/ドレイン電流特性にヒステリシスがなく、高い周波数において良好なスイッチング特性を得ることができる。また、半導体膜内の少なくともキャリアチャンネル領域における水素濃度を 0.01 原子%/ cm^3 以上としているので、キャリアチャンネル領域の導電度を高めることができる。

【0061】上記のとき、前記バイアス触媒CVDまたは高密度バイアス触媒CVDをバイアス減圧CVDまたはバイアス常圧CVDとすると好適である。

【0062】また、上記課題は、請求項30に係る発明によれば、バイアス触媒CVDまたは高密度バイアス触媒CVDを利用してトップゲート型TFTを製造する製造方法であって、真空容器に少なくとも原料ガスを供給し、前記真空容器中に配置された前記基板と電極との間にグロー放電開始電圧以下の電界を印加して、前記真空容器中で、基板上に、保護膜と、半導体膜と、ゲート絶縁膜と、を連続成膜して多結晶半導体膜とし、その後、前記半導体膜をレーザーアニール処理し、次いで、ソース/トップゲート/ドレイン電極を形成してなることにより解決される。このように構成することにより、薄膜半導体装置の性能を向上し、かつ製造を容易にすることができる。

【0063】さらに、上記課題は、請求項31に係る発明によれば、バイアス触媒CVDまたは高密度バイアス触媒CVDを利用してボトムゲート型TFTを製造する製造方法であって、基板上にボトムゲート電極を形成し、真空容器に少なくとも原料ガスを供給し、前記真空容器中に配置された前記基板と電極との間にグロー放電開始電圧以下の電界を印加して、前記真空容器中で、ボトムゲート電極上に保護膜と、ボトムゲート絶縁膜と、半導体膜と、保護膜とを連続成膜し、その後で、前記半導体膜をレーザーアニール処理して多結晶半導体膜とし、次いで、ソース/ドレイン電極を形成してなることにより解決される。

【0064】また、上記課題は、請求項32に係る発明によれば、バイアス触媒CVDまたは高密度バイアス触媒CVDを利用してデュアルゲート型TFTを製造する製造方法であって、基板上にボトムゲート電極を形成し、真空容器に少なくとも原料ガスを供給し、前記真空容器中に配置された前記基板と電極との間にグロー放電開始電圧以下の電界を印加して、前記真空容器中で、ボトムゲート電極上に保護膜と、ボトムゲート絶縁膜と、半導体膜と、トップゲート絶縁膜とを連続成膜し、その後、前記半導体膜をレーザーアニール処理して多結晶半

導体膜とし、次いで、ソース/トップゲート/ドレイン電極を形成してなることにより解決される。

【0065】上記のとき、前記真空容器とは異なるレーザーアニール装置内で前記レーザーアニール処理を行うと好適である。また、前記真空容器内の成膜室で前記半導体膜および前記絶縁膜を成膜し、前記真空容器内のレーザーアニール室で前記レーザーアニール処理を行い、前記半導体膜および絶縁膜の成膜と前記レーザーアニール処理とを前記真空容器内で連続して行うように構成してもよい。

【0066】さらに、前記真空容器内の半導体膜成膜室で前記半導体膜を成膜し、前記真空容器内の絶縁膜成膜室で前記絶縁膜を形成し、前記真空容器内のレーザーアニール室で前記レーザーアニール処理を行い、前記半導体膜の形成と前記絶縁膜の形成と前記レーザーアニール処理とを前記真空容器内で連続して行うように構成すると好適である。

【0067】また、上記課題は、請求項36に係る発明によれば、バイアス触媒CVDまたは高密度バイアス触媒CVDを利用してトップゲート型TFTを製造する製造方法であって、真空容器に少なくとも原料ガスを供給し、前記真空容器中に配置された前記基板と電極との間にグロー放電開始電圧以下の電界を印加して、前記真空容器中で、前記基板上に、保護膜と、半導体膜と、ゲート絶縁膜と、を連続成膜し、その後、ソース/トップゲート/ドレイン電極を形成し、次いで、低圧高温又は高圧高温で、水蒸気アニール処理を行い、その後、前記ソース/トップゲート/ドレイン電極のプラズマクリーニング又はスパッタクリーニングを行うことにより解決される。

【0068】また、上記課題は、請求項37に係る発明によれば、バイアス触媒CVDまたは高密度バイアス触媒CVDを利用してボトムゲート型TFTを製造する製造方法であって、基板上にボトムゲート電極を形成し、真空容器に少なくとも原料ガスを供給し、前記真空容器中に配置された前記基板と電極との間にグロー放電開始電圧以下の電界を印加して、前記真空容器中で、ボトムゲート電極上に保護膜と、ボトムゲート絶縁膜と、半導体膜と、保護膜とを連続成膜し、その後、ソース/ドレイン電極を形成し、次いで、低圧高温又は高圧高温で、水蒸気アニール処理を行い、その後、前記ボトムゲート電極および前記ソース/ドレイン電極のプラズマクリーニング又はスパッタクリーニングを行うことにより解決される。

【0069】また、上記課題は、請求項38に係る発明によれば、バイアス触媒CVDまたは高密度バイアス触媒CVDを利用してデュアルゲート型TFTを製造する製造方法であって、基板上にボトムゲート電極を形成し、真空容器に少なくとも原料ガスを供給し、前記真空容器中に配置された前記基板と電極との間にグロー放電

開始電圧以下の電界を印加して、前記真空容器中で、ボトムゲート電極上に保護膜と、ボトムゲート絶縁膜と、半導体膜と、トップゲート絶縁膜とを連続成膜し、その後、ソース/トップゲート/ドレイン電極を形成し、次いで、低圧高温又は高圧高温で、水蒸気アニール処理を行い、その後、前記ボトムゲート電極および前記ソース/トップゲート/ドレイン電極のプラズマクリーニング又はスパッタクリーニングを行うことにより解決される。

【0070】また、上記課題は、請求項39に係る発明によれば、バイアス触媒CVDまたは高密度バイアス触媒CVDを利用してトップゲート型TFTを製造する製造方法であって、真空容器に少なくとも原料ガスを供給し、前記真空容器中に配置された前記基板と電極との間にグロー放電開始電圧以下の電界を印加して、前記真空容器中で、基板上に、保護膜と、半導体膜と、ゲート絶縁膜と、を連続成膜し、その後、前記半導体膜をレーザーアニール処理して多結晶半導体膜とし、次いでソース/トップゲート/ドレイン電極を形成し、次いで低圧高温又は高圧高温で、水蒸気アニール処理を行い、その後、前記ソース/トップゲート/ドレイン電極のプラズマクリーニング又はスパッタクリーニングを行うことにより解決される。

【0071】また、上記課題は、請求項40に係る発明によれば、バイアス触媒CVDまたは高密度バイアス触媒CVDを利用してボトムゲート型TFTを製造する製造方法であって、基板上にボトムゲート電極を形成し、真空容器に少なくとも原料ガスを供給し、前記真空容器中に配置された前記基板と電極との間にグロー放電開始電圧以下の電界を印加して、前記真空容器中で、ボトムゲート電極上に保護膜と、ボトムゲート絶縁膜と、半導体膜と、保護膜とを連続成膜し、その後で、前記半導体膜をレーザーアニール処理して多結晶半導体膜とし、次いでソース/ドレイン電極を形成し、次いで低圧高温又は高圧高温で、水蒸気アニール処理を行い、その後、前記ボトムゲート電極および前記ソース/ドレイン電極のプラズマクリーニング又はスパッタクリーニングを行うことにより解決される。

【0072】また、上記課題は、請求項41に係る発明によれば、バイアス触媒CVDまたは高密度バイアス触媒CVDを利用してデュアルゲート型TFTを製造する製造方法であって、基板上にボトムゲート電極を形成し、真空容器に少なくとも原料ガスを供給し、前記真空容器中に配置された前記基板と電極との間にグロー放電開始電圧以下の電界を印加して、前記真空容器中で、ボトムゲート電極上に保護膜と、ボトムゲート絶縁膜と、半導体膜と、トップゲート絶縁膜とを連続成膜し、その後、前記半導体膜をレーザーアニール処理して多結晶半導体膜とし、次いで、ソース/トップゲート/ドレイン電極を形成し、次いで、低圧高温又は高圧高温で、水蒸

気アニール処理を行い、その後、前記ボトムゲート電極と、前記ソース/トップゲート/ドレイン電極のプラズマクリーニング又はスパッタクリーニングを行うことにより解決される。

【0073】上記のとき、前記バイアス触媒CVDまたは高密度バイアス触媒CVDを、バイアス減圧CVDまたはバイアス常圧CVDとすると好適である。

【0074】また、前記真空容器に水素を含むキャリアガスを常時供給し、該供給されたキャリアガスで発生した活性化水素イオン H^* で前記基板上をクリーニングするクリーニング工程を備え、前記膜の成膜と前記クリーニング工程とを繰り返し、或いは前記クリーニング工程の後で前記膜の成膜を繰り返すように構成すると好適である。

【0075】また、前記真空容器に水素を含むキャリアガスを供給し、該供給されたキャリアガスで発生した活性化水素イオン H^* で前記基板上をクリーニングするクリーニング工程と、前記キャリアガスの供給を、前記膜を形成する前、途中、後の少なくとも一つで増減する工程と、前記膜の形成と、を行うように構成すると好適である。

【0076】

【発明の実施の形態】次に、本発明に係る半導体膜形成方法及び薄膜半導体装置の製造方法について、好適な実施の形態を図に基づいて説明する。なお、図10乃至図16、図21において、アルゴンをAr、シリコンをSi、水素ガスを H_2 、酸素ガスを O_2 、窒素ガスを N_2 、アンモニアガスを NH_3 、シランガスを SiH_4 、ヘリウムガスをHe、ネオンガスをNe、窒化シリコンを SiN 、酸化シリコンを SiO_2 と表す。本発明は、バイアス触媒CVDまたは高密度バイアス触媒CVDを利用して、基板10に半導体膜を形成する半導体膜形成方法である。

【0077】バイアス触媒CVDとは、電界を印加して触媒CVDを行う方法である。バイアス触媒CVDでは、触媒CVD法に基づいて、水素系キャリアガスとシランガス等の原料ガスとからなる反応ガスを加熱されたタングステン等の触媒体に接触させ、これによって生成したラジカルな堆積種又はその前駆体及び活性化水素イオン H^* にグロー放電開始電圧以下の電界を作用させて指向性の運動エネルギーを与え、基板上に多結晶シリコン等の所定の膜を気相成長させる。前記ラジカルな堆積種又はその前駆体及び活性化水素イオン H^* は、基板と対向電極との間にグロー放電開始電圧以下の直流電圧、または直流電圧に交流電圧を重ねさせた電圧等を印加することにより、基板の側へ指向される。

【0078】触媒CVD(Catalytic CVD, CAT-CVD)とは、例えば、特開昭63-40314号公報などに開示されている方法である。触媒CVD法は、熱触媒体による触媒反応または熱分解反応に

10

20

30

40

50

よって、高エネルギーをもつシリコン原子又は原子の集団を形成し、絶縁基板上に堆積させるので、通常の熱CVD法における堆積可能温度より著しく低い低温の領域でシリコン膜を堆積させることができる。

【0079】また、高密度触媒CVDは、高密度プラズマCVDと触媒CVDを適宜組み合わせたものである。この高密度プラズマCVDは、プラズマCVDのうち、 10^{-3} Paレベルの低圧下で、マイクロ波により高密度としたプラズマ中で原料ガスの活性化を行わせて行うものである。高密度プラズマCVD装置としては、基本的に本明細書に記載の装置を用いることができるが、マイクロ波(2.45GHz程度)を用いるECR(Electron Cyclotron Resonance)、RF(13.56MHz)を用いるICP(Inductively Coupled Plasma)、ヘリコン波プラズマ等を使用し、高密度のプラズマをチャンバ内で発生させる。このため、高真空が要求されるので真空ポンプにターボ分子ポンプを使用し、基板側から高いバイアス電圧を印加し、この冷却のために静電チャックと冷却手段(例えばHe)を用いる。

【0080】本発明で用いる高密度バイアス触媒CVDは、マイクロ波によりプラズマを高密度とするものである。高密度バイアス触媒CVDを行う装置について簡単に説明する。高密度バイアス触媒CVD装置は、真空容器内に電極と基板が平行に配置され、この真空容器の側壁、すなわち電極および基板に対し垂直である壁に、導波管が設置される。この導波管は、上記側壁に対し垂直に伸びており、この導波管には、マグネトロンが設けられる。高密度バイアス触媒CVDでは、この導波管でマイクロ波プラズマが発生するように構成されている。このように構成しているため、サセプタと電極との間に電界を印加してプラズマを発生させるために基板にプラズマの影響が及ぶRFプラズマCVD等とは異なり、高密度バイアス触媒CVDでは、導波管で発生したプラズマが真空容器の壁に当たって弱まり、基板は、マイクロ波プラズマによるダメージを受けにくくなる。また、導波管を、真空容器の側壁の電極と基板の間の位置に設けた場合には、電極と基板との間の熱触媒体によって、プラズマが基板に到達することが低減され、基板は、マイクロ波プラズマによるダメージを受けにくくなる。真空容器の側壁の電極の外側で、基板から遠い位置に設けた場合には、熱触媒体と、電極とによって、プラズマが基板に到達することが低減され、基板は、マイクロ波プラズマによるダメージを受けにくくなる。

【0081】本発明では、真空容器1に少なくとも原料ガスを供給し、真空容器1に配置された基板10と電極3aとの間にグロー放電開始電圧以下の電界を印加して、前記基板上に半導体膜を形成することを含む半導体膜形成工程と、この形成された半導体膜にレーザーを照射し、形成された半導体膜をレーザーでアニールするレ

ーザーアニール工程と、を備える。半導体膜は、例えばアモルファス半導体膜、微結晶半導体膜、多結晶半導体膜である。このように、基板10と電極3aとの間にグロー放電開始電圧以下の電界を印加しているため、反応種に対し、触媒体5の触媒作用とその熱エネルギーに加えて上記電圧による加速電界を与えることとなり、指向性の運動エネルギーが大きくなって基板上に効率良く導けると共に、基板上での泳動及び生成過程の膜中での拡散が十分となる。従って、従来の触媒体CVD法に比べて、触媒体5で生成された反応種の運動エネルギーおよび指向性を電界で独立してコントロールできるため、生成膜の基板10との密着性が向上し、生成膜密度が向上し、生成膜の均一性、平滑性が向上する。また、ビアホールなどへの埋め込み性およびステップカバレッジが向上し、生成膜のストレスコントロール等が可能となり、高品質膜が実現する。また、基板温度を低温化できることから、低歪点ガラスおよび耐熱性樹脂基板の採用が可能となり、コストダウンを図ることができる。

【0082】基板10と電極3aの間には、グロー放電開始電圧以下の直流電圧、または直流電圧に交流電圧を重ねさせた電圧を印加する。この交流電圧は、1MHzより大きく1000MHz以下である周波数の高周波電圧及び1MHz以下の低周波電圧のうち少なくとも一方である。また、絶対値がグロー放電開始電圧以下である高周波交流電圧のみ、又は絶対値がグロー放電開始電圧以下である低周波交流電圧のみ、又は該低周波交流電圧に前記高周波交流電圧を重ねさせた電圧または直流電圧に低周波交流電圧と高周波交流電圧を重ねさせた電圧を印加するように構成してもよい。なお、電圧は、成膜中に全体の電圧または構成要素それぞれの電圧を可変してもよい。但し、それぞれの電圧の絶対値が、いずれもグロー放電開始電圧以下の範囲内になるようにする。

【0083】また、成膜時又は成膜中に前記触媒体の触媒作用で反応ガスからイオン等の反応種が発生し、これにより基板がチャージアップして膜又はデバイスの性能を劣化させることがある。これを防止するために、前記反応種に帯電防止用の荷電粒子(電子ビーム又はプロトンなど、特に電子ビーム)を照射してイオンを中和することが望ましい。即ち、前記サセプタの近傍に荷電粒子照射手段が設置されているのがよい。

【0084】なお、本発明において、成膜直後のシリコン系膜を下記のように定義する。アモルファスシリコン膜は、水素含有のアモルファス構造のシリコン(a-Si:H)の膜とする。微結晶シリコン膜とは、アモルファスシリコンを含有する微結晶シリコン(nc-Si(nanocrystalline Siliconの略))が集合する膜とする。ポリシリコン膜とは、アモルファスシリコンと微結晶シリコン(nc-Si)を含有する比較的小さい粒径のポリシリコン(μ c-Si(microcrystalline Silicon

の略) } が集合する膜とする。単結晶シリコン膜とは、亜粒界や転位を含有する単結晶も含む単結晶シリコン膜とする。レーザー光の吸収が大きく溶解しやすいアモルファス構造シリコンと結晶成長のシード(種)の $n\text{-c-Si}$ および $\mu\text{-c-Si}$ がうまく組み合わさって、エキシマレーザーアニール等のレーザーアニール処理により再結晶化が促進され、大きな粒径のポリシリコン膜が形成される点に、本発明の特徴がある。

【0085】レーザーアニール工程は、半導体膜形成工程の後でなく、半導体膜と絶縁膜とを形成した後に行ってもよい。絶縁膜は、例えば酸化シリコン膜、窒化シリコン膜、酸窒化シリコン膜のいずれか1種以上、又はその複合膜である。

【0086】このように、薄膜をレーザーでアニール処理するように構成しているので、膜のみが瞬時に熱せられ、基板10への熱の影響が及びにくくなり、基板10の変形を起こすことなく、アモルファスシリコンまたは微結晶シリコン薄膜を結晶化でき、又キャリア不純物の活性化もでき、例えば移動度の大きい薄膜に変えることができる。しかも、この結晶化、活性化は基板10全体を高温にすることなく、低温で行うことができる。また、薄膜半導体装置の性能を向上し、かつ製造を容易にするものである。

【0087】このとき、レーザーアニール効果を高めるために、基板10を200℃以上～500℃未満に加熱して、形成された膜を、ビーム形状が、ラインビームまたはエリアビームであるエキシマレーザーまたはアルゴンレーザー等のレーザーでアニールしてもよい。

【0088】また、アモルファスシリコンは、レーザー光の光エネルギー吸収が高いため、ポリシリコン膜は、シリコンイオン等を注入して結晶成長のシード(種)を注入すると同時に、アモルファスシリコン化することにより、大粒径ポリシリコン膜とすることがより容易となる。このシリコンイオン等の注入は、たとえば、必要に応じて、20～30keVで1～2E15atoms/cm²のシリコンイオン(SiF₄)を注入した後に、レーザーアニール処理を行うことにより行うことができる。このように構成すると、ポリシリコンはレーザーアニールで溶解しにくいので、レーザーアニールで溶解し易いアモルファスシリコンとした後にレーザーアニール処理すると、大きな粒径のポリシリコンが形成され、移動度向上が可能となる。

【0089】熱触媒体5は、熱触媒体5の融点未満の温度であって、800℃以上2000℃以下の温度に加熱するとよい。このとき、基板10の温度を200℃以上500℃以下の温度にするとよい。

【0090】このように、熱触媒体5を加熱することにより、真空容器1内に導入された水素ガスから活性化水素イオンH^{*}が発生するため、基板表面をクリーニングすることができる。例えば、酸化シリコン膜とポリシリ

コン膜が形成される際には、これらの薄膜の界面にアモルファスシリコンの遷移層が形成されず、高品質な薄膜層を形成することが可能となる。また、加熱した熱触媒体5を用いることにより、原料ガスの大部分を薄膜として形成することができ、効率よく原料ガスを利用して薄膜を形成することができ、コストダウンが可能となる。熱触媒体5は、タングステン、トリア含有タングステン、白金、モリブデン、パラジウム、金属蒸着セラミックス、シリコン、アルミナ、炭化ケイ素よりなる群から選ばれた少なくとも一種の材料よりなる。

【0091】また、前記基板10は、シリコン、ゲルマニウム、シリコンゲルマニウム、シリコンカーバイト、ガリウムヒ素、ガリウムアルミニウムヒ素、ガリウム燐、インジウム燐、セレン化亜鉛、硫化カドミウム、石英ガラス、ほうけい酸ガラス、アルミノけい酸ガラス、耐熱性樹脂を含む半導体または絶縁性の材料から選ばれたものとする。よい。

【0092】本発明では、半導体膜形成工程の前から、真空容器1に水素を含むキャリアガスを常時供給し、この供給されたキャリアガスで発生した活性化水素イオンH^{*}で基板10上をクリーニングするクリーニング工程を行う。そして、このクリーニング工程と、この半導体膜形成工程とを行う。

【0093】このように、基板10へ薄膜を形成するときに、水素を含むキャリアガスを供給するので、供給されたキャリアガスの一部は活性化水素イオンH^{*}となっており、この活性化水素イオンH^{*}が基板表面をクリーニングし、基板10上に高品質の薄膜を形成することができる。そして、キャリアガスとしての水素ガスを供給し、熱触媒体5を加熱して触媒作用が可能な状態にし、少なくともシリコン膜とゲート絶縁膜を連続成膜することで、ゲートチャンネル部を低ストレス、低コンタミ、低界面準位とし、特性を向上することが可能となる。また、本発明に係る半導体膜形成方法を用いて薄膜半導体装置を製造する場合には、薄膜半導体装置の性能を向上し、かつ製造を容易にするものである。

【0094】ここで、「連続成膜」することについて述べたが、本明細書中において、「連続成膜」には、次の3通りがある。まず、成膜装置1内で、ゲート絶縁膜と半導体膜とを、連続して成膜する場合であり、ここで述べた意味である。次に、絶縁膜を、SiN-SiON-SiO₂等の傾斜複合膜として成膜する場合である。さらに、異なる絶縁膜を連続して成膜する場合である。

【0095】また、半導体膜形成工程の前から、真空容器1に水素を含むキャリアガスを供給し、この供給されたキャリアガスで発生した活性化水素イオンH^{*}で基板10上をクリーニングするクリーニング工程と、キャリアガスの供給を、前記半導体膜形成工程の前、途中、後の少なくとも一つで増減する工程と、前記半導体膜形成工程と、を行うこともできる。クリーニングされた基板

10には、真空容器1中に少なくとも原料ガスを導入することにより薄膜が形成されるが、このとき、例えば、図3の一点鎖線で示すように、前記キャリアガスの供給を途中で低減することにより、真空容器1中での原料ガスの割合が高くなり、高速で薄膜形成を行うことが可能となる。また、熱触媒体5として酸化劣化しない熱触媒体5を使用した場合には、図13乃至図15の実線で示すように、半導体膜形成工程の途中で真空容器1内へのキャリアガスの供給を停止することもできる。すなわち、熱触媒体5が、酸素の存在下でも酸化劣化しない熱触媒体である場合には、水素ガスの供給を止めても、残留酸素により熱触媒体5が酸化劣化、断線等しない。酸化劣化しない熱触媒体とは、例えば、高融点金属（タングステン、トリウム含有タングステン、タンタル、モリブデン、シリコン等）をセラミックスコーティングまたは炭化ケイ素コーティングしたもの又は表面を酸化又は窒素化したシリコン等である。

【0096】さらに、各種の成膜を行うとき、例えば、図3の点線で示すように、半導体膜形成工程の前、後でキャリアガスの導入を増加させることにより、成膜前後に、熱触媒体5により、活性化水素イオン H^* を大量に発生させ、クリーニング、膜ストレス低減等を促進させることができる。

【0097】本発明では、真空容器1内で半導体膜および絶縁膜を形成し、真空容器1外のレーザーアニール装置内でレーザーアニール工程を行う。このとき、半導体膜および絶縁膜は、シングルチャンバ或いはマルチチャンバからなる真空容器1のいずれによっても形成することができる。ただし、真空容器1内に、成膜室46と、レーザーアニール室44とを設けるように構成しても良い。真空容器1内の成膜室46で半導体膜形成工程を行い、レーザーアニール室44でレーザーアニール工程を行い、半導体膜形成工程とレーザーアニール工程とを前記真空容器内で連続して行う。このとき、成膜室46とは別に真空装置1内に絶縁膜成膜室47を設け、この絶縁膜成膜室47内で絶縁膜を成膜してもよい。

【0098】また、半導体膜と絶縁膜を同じ成膜室43内で形成することもできる。半導体膜を成膜する成膜室43で、レーザーでアニールされた半導体膜上に絶縁膜を成膜し、半導体膜形成工程とレーザーアニール工程と絶縁膜の成膜とを真空容器1内で連続して行う。

【0099】本発明では、真空容器1に少なくとも原料ガスを供給して基板10上に、半導体膜と、絶縁膜と、を形成することを含む半導体膜および絶縁膜形成工程と、形成された半導体膜および絶縁膜を水蒸気でアニールする水蒸気アニール工程と、を備えるようにすることもできる。

【0100】水蒸気アニール工程では、分圧が 1×10^2 Pa以上飽和蒸気圧以下である水蒸気を含む雰囲気中で、10秒以上20時間以下の時間、常温以上400℃

以下の温度に加熱することにより形成された膜を水蒸気でアニールする。このとき、酸素、窒素、水素、又は一酸化窒素又は二酸化炭素のいずれか1種類以上の気体を含み、前記いずれか1種類以上の気体の分圧が、 1×10^2 Pa以上 1×10^6 Pa以下である雰囲気中で水蒸気アニールを行う。このように、水蒸気を含む低圧～高圧の雰囲気内におけるアニールを行うため、低温の加熱処理で効果的に半導体膜と絶縁膜との界面特性および絶縁膜の改質をはかることができる。

10 【0101】本発明では、真空容器1内で半導体膜を形成し、真空容器1外の水蒸気アニール装置内で水蒸気アニール工程を行う。ただし、真空容器1内に、成膜室43と、水蒸気アニール室45とを設けるように構成しても良い。真空容器1内の成膜室43で半導体膜および絶縁膜形成工程を行い、水蒸気アニール室45で水蒸気アニール工程を行い、半導体膜および絶縁膜形成工程と水蒸気アニール工程とを真空容器1内で連続して行う。

20 【0102】また、成膜室46とは別に真空装置1内に絶縁膜成膜室47を設け、この絶縁膜成膜室47内で絶縁膜を成膜してもよい。このとき、真空容器1内の半導体膜成膜室46で半導体膜を形成し、真空容器1内の絶縁膜成膜室47で絶縁膜を形成し、真空容器1内の水蒸気アニール室45で水蒸気アニール工程を行い、半導体膜の形成と絶縁膜の形成と水蒸気アニール工程とを真空容器内で連続して行う。

30 【0103】本発明では、上記半導体膜として単結晶シリコンを形成することもできる。半導体膜が単結晶シリコンである場合、少なくともシリコン膜形成領域に段差を形成し、この段差を含むシリコン膜形成領域に単結晶シリコン膜をグラフォエビタキシャル成長させる。即ち、基板に段差を設け、段差を含む基板上に単結晶シリコン膜をグラフォエビタキシャル成長させているので、高い電子/正孔移動度を有し、動作性に優れた単結晶シリコン膜を得ることができる。本発明において単結晶には、亜粒界や転位を含有する単結晶も含む。また、単結晶シリコンのみでなく、単結晶ガリウム・砒素、単結晶シリコン・ゲルマニウム等の化合物半導体もエビタキシャル成長させることができることは当然である。

40 【0104】また、半導体膜が単結晶シリコンである場合、少なくともシリコン膜形成領域に単結晶シリコンと格子整合の良い物質層を形成し、物質層を含むシリコン膜形成領域に単結晶シリコン膜をヘテロエビタキシャル成長させることもできる。即ち基板に単結晶シリコンと格子整合の良い物質層を形成し、この物質層を含む基板上に単結晶シリコン膜をヘテロエビタキシャル成長させているので、高い電子/正孔移動度を有し、動作性に優れた単結晶シリコン膜を得ることができる。この単結晶シリコンと格子整合の良い物質層は、サファイアまたはスピネル構造体またはフッ化カルシウムを含む群より選ばれた少なくとも一種以上の物質とする。

【0105】また、本発明では、半導体膜および絶縁膜形成工程と、レーザーアニール工程と、レーザーアニール工程の後工程としての水蒸気アニール工程と、プラズマまたはスパッタリングによりクリーニングするクリーニング工程と、を備えるようにすることもできる。

【0106】本発明では、真空容器1内で半導体膜および絶縁膜を形成し、真空容器1外のレーザーアニール装置内でレーザーアニール工程を、真空容器1外の水蒸気アニール装置内で水蒸気アニール工程を行う。ただし、真空容器1内に、成膜室43と、レーザーアニール室44と、水蒸気アニール室45と、を設けるように構成しても良い。真空容器1内の成膜室43で半導体膜および絶縁膜形成工程を行い、真空容器1内のレーザーアニール室44でレーザーアニール工程を行い、真空容器1内の水蒸気アニール室45で水蒸気アニール工程を行い、半導体膜形成工程とレーザーアニール工程と水蒸気アニール工程とを真空容器1内で連続して行う。

【0107】また、成膜室46とは別に真空装置1内に絶縁膜成膜室47を設け、この絶縁膜成膜室47内で絶縁膜を成膜することもできる。真空容器1内の半導体膜成膜室46で半導体膜を形成し、真空容器1内のレーザーアニール室44でレーザーアニール工程を行い、真空容器1内の絶縁膜成膜室47で絶縁膜を形成し、真空容器1内の水蒸気アニール室45で水蒸気アニール工程を行い、半導体膜の形成とレーザーアニール工程と絶縁膜の形成と水蒸気アニール工程とを真空容器1内で連続して行う。

【0108】本発明に係る半導体膜形成方法は、バイアス触媒CVDまたは高密度バイアス触媒CVDだけでなく、バイアス減圧CVDまたはバイアス常圧CVDで行うこともできる。バイアス減圧CVD、バイアス常圧CVDとは、電界を印加して減圧CVD、常圧CVDを行う方法である。常圧CVDとは、NPCVD (Normal Pressure CVD) と呼ばれ、真空装置を用いずに常圧で行うCVDである。高周波または赤外線により基板を直接加熱する点に特徴があり、Cold Wall形の容器を用いる。また、減圧CVDとは、LPCVD (Low Pressure CVD) と呼ばれ、 $10 \sim 10^3$ Pa程度に減圧して行うCVD法である。基板を抵抗加熱により加熱する点に特徴があり、Hot Wall形の容器を用いる。常圧CVD、減圧CVDは、基板を数百℃以上の高温に加熱して薄膜を形成する点で、プラズマCVD、触媒CVD等と異なる。

【0109】本発明では、半導体膜形成工程または半導体膜および絶縁膜形成工程で形成された直後の半導体膜が、該半導体膜内の少なくともキャリアチャンネル領域における酸素、炭素、窒素のそれぞれの濃度が 1×10^{18} atoms/cm³ 以下、水素濃度が0.01原子%/cm³ 以上である半導体膜となるようにする。ま

た、レーザーアニール工程、水蒸気アニール工程でアニールされた後の半導体膜も、少なくともキャリアチャンネル領域における酸素、炭素、窒素のそれぞれの濃度が 1×10^{18} atoms/cm³ 以下、水素濃度が0.01原子%/cm³ 以上となるようにする。

【0110】また、本発明に係る薄膜半導体装置の製造方法は、バイアス触媒CVDまたは高密度バイアス触媒CVDを利用してトップゲート型TFTを製造する方法である。真空容器1に少なくとも原料ガスを供給して、真空容器1中で、基板10上に、保護膜と、半導体膜と、ゲート絶縁膜と、を連続成膜する。その後、この半導体膜をレーザーアニール処理し、次いで、ソース/トップゲート/ドレイン電極を形成する。

【0111】また、本発明に係る薄膜半導体装置の製造方法は、バイアス触媒CVDまたは高密度バイアス触媒CVDを利用してボトムゲート型TFTを製造する方法である。基板10上にボトムゲート電極を形成し、真空容器1に少なくとも原料ガスを供給して、真空容器1中で、ボトムゲート電極上に保護膜と、ボトムゲート絶縁膜と、半導体膜と、保護膜とを連続成膜し、その後で、前記半導体膜をレーザーアニール処理して多結晶半導体膜とし、次いで、ソース/ドレイン電極を形成する。

【0112】また、本発明に係る薄膜半導体装置の製造方法は、バイアス触媒CVDまたは高密度バイアス触媒CVDを利用してデュアルゲート型TFTを製造する方法である。基板10上にボトムゲート電極を形成し、真空容器1に少なくとも原料ガスを供給して、真空容器1中で、ボトムゲート電極上に保護膜と、ボトムゲート絶縁膜と、半導体膜と、トップゲート絶縁膜とを連続成膜し、その後、前記半導体膜をレーザーアニール処理して多結晶半導体膜とし、次いで、ソース/トップゲート/ドレイン電極を形成する。

【0113】このとき、水素ガスとモノシランガスとアンモニアガスとからなる原料ガスを前記真空容器内に供給して窒化シリコン膜を形成することができる。また、水素ガスとモノシランガスとヘリウム希釈の酸素ガスとからなる原料ガスを前記真空容器内に供給して酸化シリコン膜を形成することができる。さらに、水素ガスと、シランガスと、からなる原料ガスを前記真空容器内に供給して、アモルファスシリコン膜または微結晶シリコン膜またはポリシリコン膜を形成することができる。このとき、前記モノシランガスに、リンまたは砒素またはアンチモンを混入してN型不純物キャリア濃度のアモルファスシリコン膜または微結晶シリコン膜またはポリシリコン膜を形成するとよい。また、前記モノシランガスまたは前記シランガスに、ボロンを混入してP型不純物キャリア濃度のアモルファスシリコン膜または微結晶シリコン膜またはポリシリコン膜を形成するとよい。

【0114】上記薄膜半導体装置の製造方法では、半導体膜及び絶縁膜を形成した後にレーザーアニール処理し

ているが、その後で電極形成し、その後水蒸気アニール処理および電極のプラズマクリーニング及びスパッタクリーニングを行うようにすることもできる。また、レーザーアニール処理を行わずに、電極形成後に水蒸気アニール処理および電極のプラズマクリーニング及びスパッタクリーニングを行うようにすることもできる。

【0115】本発明に係る薄膜形成方法及び薄膜半導体装置の製造方法によれば、シリコン半導体装置、シリコン半導体集積回路装置、シリコン-ゲルマニウム半導体装置、シリコン-ゲルマニウム半導体集積回路装置、化合物半導体装置、化合物半導体集積回路装置、炭化ケイ素半導体装置、炭化ケイ素半導体集積回路装置、液晶表示装置、有機/無機エレクトロルミネセンス表示装置、フィールドエミッションディスプレイ装置、プラズマディスプレイパネル(PDP)装置、発光ポリマー表示装置、発光ダイオード表示装置、CCDエリア/リニアセンサ装置、MOSセンサ装置、高誘電率膜および強誘電体メモリー装置、太陽電池等を製造することができる。

【0116】トップゲート型のみならず、ボトムゲート及びデュアルゲート型TFTでも高い電子/正孔移動度のポリシリコン膜または単結晶シリコン膜が得られる為に、この高性能のポリシリコン膜半導体または単結晶シリコン膜半導体を使用した高速・高電流密度の半導体装置、電気光学装置、更に高効率の太陽電池装置等の製造が可能となる。本発明における他の詳細な事項、作用・効果等は、次述する実施例においてより明確になるであろう。

【0117】

【実施例】以下、本発明の一実施例を図面に基づいて説明する。なお、以下に説明する部材、配置等は本発明を限定するものでなく、本発明の趣旨の範囲内で種々改変することができるものである。図1は、本発明で用いる薄膜形成装置Sの一実施例を示す概略図である。

【0118】<DCバイアス触媒CVD法とその装置>本例では、触媒CVD法に基づいて、水素系キャリアガスとシランガス等の原料ガスとからなる反応ガスを加熱されたタングステン等の触媒体に接触させ、これによって生成したラジカルな堆積種又はその前駆体及びラジカル水素イオンにグロー放電開始電圧以下の電界を作用させて運動エネルギーを与え、基板上に多結晶シリコン等の所定の膜を気相成長させるに際し、基板と対向電極との間にグロー放電開始電圧以下の直流電圧(パッシェンの法則で決まる直流電圧、例えば、1kV以下の電圧)を印加し、前記ラジカルな堆積種又はその前駆体及びラジカル水素イオンを基板の側へ指向させる。以下、本例のCVD法をDCバイアス触媒CVD法と称する。本例のDCバイアス触媒CVD法は、図1~図3に示す如き成膜装置を用いて実施される。

【0119】この成膜装置(DCバイアス触媒CVD装置)によれば、水素系キャリアガスと水素化ケイ素(例

えばモノシラン)等の原料ガス40(及び必要に応じて B_2H_6 や PH_3 などのドーピングガスも含む。)で構成される反応ガスは、供給導管61からガスシャワーヘッド3aの供給口43を通して成膜装置1へ導入される。成膜装置1の内部には、ガラス等の基板10を支持するためのサセプタ2と、耐熱性の良い(望ましくは熱触媒体5と同じか或いはそれ以上の融点を有する材質の)ガスシャワーヘッド3aと、コイル状のタングステン等の熱触媒体5と、更には開閉可能なシャッター67とがそれぞれ配されている。なお、サセプタ2と成膜装置1との間には磁気シール72が施されている。また、成膜装置1は前工程を行なう前室73に後続され、ターボ分子ポンプ74等でバルブ75を介して排気される。

【0120】そして、基板10はサセプタ2内のヒータ2b等の加熱手段で加熱され、また熱触媒体5は例えば抵抗線として融点以下(特に $800\sim 2000^\circ C$ 、タングステンの場合は約 $1600\sim 1700^\circ C$)に加熱されて活性化される。熱触媒体5の両端子は直流又は交流の触媒体電源68に接続され、この電源からの通電により所定温度に加熱される。また、ガスシャワーヘッド3aは加速電極として、導管61を介して可変の直流電源(1kV以下、例えば500V)69の正極側に接続され、負極側のサセプタ2(従って、基板10)との間に1kV以下の直流バイアス電圧が印加されるようになっている。

【0121】このDCバイアス触媒CVD法を実施するには、成膜装置1内の真空度を $10^{-4}\sim 10^{-6}$ Paとし、例えば水素系キャリアガス $100\sim 200$ SCCM(Standard cc per minute:以下、同様)を供給して、触媒体5を所定温度に加熱して活性化した後、水素化ケイ素(例えばモノシラン)ガス $1\sim 20$ SCCM(及び必要に応じて B_2H_6 や、 PH_3 等のドーピングガスも適量含む。)からなる反応ガス40を供給導管61からガスシャワーヘッド3aの供給口43を通して導入して、ガス圧を $10\sim 10^{-1}$ Pa、例えば1 Paとする。ここで、水素系キャリアガスは、水素、水素+アルゴン、水素+ヘリウム、水素+ネオン、水素+キセノン、水素+クリプトン等の、水素に不活性ガスを適量混合させたガスであれば、いずれでもよい(以下、同様)。尚、原料ガスの種類によっては、必ずしも水素系キャリアガスは必要ではない。即ち、水素系キャリアガスなしでシランのみの触媒反応でポリSiを成膜する方法(Hot Wire法と称されている。)が知られており、この方法にも本発明が適用可能なためである。

【0122】反応ガス40の少なくとも一部は熱触媒体5と接触して触媒的に分解し、触媒分解反応または熱分解反応によって、高エネルギーをもつシリコン等のイオン、ラジカル等の反応種の集団(即ち、堆積種又はその前駆体及びラジカル水素イオン)を形成する。こうして

生成したイオン、ラジカル等の反応種70にグロー放電開始電圧(約1kV)以下、例えば500Vの直流電源69による直流電界を作用させて運動エネルギーを与え、基板10の側へ指向させて、室温~550℃(例えば200~300℃)に保持された基板10上に多結晶シリコン等の所定の膜を気相成長させる。

【0123】こうして、プラズマを発生することなく、反応種に対し、熱触媒5の触媒作用とその熱エネルギーに直流電界による加速エネルギーを加えた指向性の運動エネルギーを与えるので、反応ガスを効率良く反応種10に変えて、直流電界により基板10上に均一に熱CVD法で堆積することができる。この堆積種56は基板10上で泳動し、薄膜中で拡散するので、緻密でステップカバレッジの良い平坦かつ均一な薄膜を形成できる。

【0124】従って、本実施の形態によるDCバイアス触媒CVDは、従来の触媒CVDのコントロールファクタである基板温度、触媒温度、ガス圧(反応ガス流量)、原料ガス種類等と比べ、独立した任意の直流電界で薄膜生成をコントロールすることを追加するのが特長である。このため、生成膜の基板との密着性をはじめ、生成膜密度、生成膜均一性又は平滑性、ピアホールなどへの埋め込み性とステップカバレッジを向上させ、基板温度を一層低温化し、生成膜のストレスコントロール等が可能となり、高品質膜(例えばバルクに近い物性のシリコン膜や金属膜)が得られる。しかも、熱触媒5で生成された反応種を直流電界で独立してコントロールし、効率良く基板上に堆積できるので、反応ガスの利用効率が高く、生成速度を早め、生産性向上と反応ガス削減によるコストダウンを図れる。

【0125】また、基板温度を低温化しても堆積種の運動エネルギーが大きいために、目的とする良質の膜が得られることから、基板温度を上記のように更に低温化でき、大型で安価な絶縁基板(ほうけい酸ガラス、アルミノけい酸ガラス等のガラス基板、ポリイミド等の耐熱性樹脂基板等)を使用でき、この点でもコストダウンが可能となる。しかも、上記した反応種の加速のための電極として、反応ガス供給用のガスシャワーヘッド3aを兼用できるので、構造が簡略となる。

【0126】また、勿論のことであるが、プラズマの発生がないので、プラズマによるダメージがなく、低ストレスの生成膜が得られると共に、プラズマCVD法に比べ、はるかにシンプルで安価な装置が実現する。

【0127】この場合、減圧下(例えば 10^{-1} ~1Pa)又は常圧下で操作を行なえるが、減圧タイプよりも常圧タイプの方がよりシンプルで安価な装置が実現する。そして、常圧タイプでも上記の電界を加えるので、密度、均一性、密着性のよい高品質膜が得られる。この場合も、減圧タイプよりも常圧タイプの方がスループットが大であり、生産性が高く、コストダウンが可能である。

【0128】減圧タイプの場合は、直流電圧はガス圧(反応ガス流量)や原料ガス種類等によって左右されるが、いずれにしても、グロー放電開始電圧以下の任意の電圧に調整する必要がある。常圧タイプの場合は、放電はしないが、原料ガス及び反応種の流れが膜厚及び膜質に悪影響を及ぼさないように、基板上に排ガス流が接しないように排気を調整することが望ましい。なお、本例では、図1に示すように、基板1をシャワーヘッド42の上方に配したが、図4に示すように、基板10をシャワーヘッド3aの下方に配してもよい。

【0129】また、本発明の特徴は、触媒CVD法により薄膜を形成する際に、電界を印加する点にある。本発明では、触媒CVD法により薄膜を形成する際に、グロー放電開始電圧以下の直流電圧(即ち、パッシェンの法則により決まるプラズマ発生電圧以下、例えば1kV以下、数10V以上)を印加し、前記反応種を前記基板10の側へ指向させて、効率よく堆積させる。

【0130】前記電界として、グロー放電開始電圧以下であって直流電圧(DC)に交流電圧を重畳させた電圧(即ち、パッシェンの法則により決まるプラズマ発生電圧以下、例えば1kV以下、数10V以上)を印加してもよい。このようにすると、直流電圧に重畳させた交流電圧により微妙な電界変化での指向性の運動エネルギーを反応種に与えることができるため、上記した作用効果に加えて、複雑な形状を有する基板10表面(凹凸段差や高アスペクト比のピアホール等)にステップカバレッジが良く、均一で密着性及び密度の高い膜を形成できる。これと同様の作用効果は、前記電界を形成する電圧(但し、その絶対値はグロー放電開始電圧以下である。)として、高周波交流電圧のみ、又は低周波交流電圧のみ、又は低周波交流電圧に高周波交流電圧を重畳させた電圧を印加するときにも得られる。

【0131】上記の場合、前記交流電圧を高周波電圧(RF)及び/又は低周波電圧(AC)としてよいが、高周波電圧の周波数を1MHzより大きく1000MHz以下である周波数、低周波電圧の周波数を1MHz以下とするのがよい。

【0132】前記交流電圧を高周波電圧(RF)とするRF/DCバイアス触媒CVD法について、説明する。＜RF/DCバイアス触媒CVD法とその装置＞本例では、触媒CVD法に基づいて、水素系キャリアガスとシランガス等の原料ガスから成る反応ガスを加熱されたタングステン等の触媒体に接触させ、これによって生成したラジカルな堆積種又はその前駆体及びラジカル水素イオンにグロー放電開始電圧以下の電界を作用させて運動エネルギーを与え、絶縁基板上に多結晶シリコン等の所定の膜を気相成長させるに際し、基板と対向電極との間にグロー放電開始電圧以下であって直流電圧に高周波電圧を重畳させた電圧(パッシェンの法則で決まる電圧で、例えば1kV以下の電圧)を印加し、前記ラジカル

な堆積種又はその前駆体及びラジカル水素イオンを基板の側へ指向させると共に、微妙な電界変化での運動エネルギーを与えるようにしてもよい。以下、このCVD法を、RF/DCバイアス触媒CVD法と称する。

【0133】このRF/DCバイアス触媒CVD法は、図5に示す如き成膜装置を用いて実施される。ガスシャワーヘッド3aは加速電極として、導管61からロウバス（高周波）フィルタ113を介して可変の直流電源（1kV以下、例えば500V）69の正極側に接続され、また整合回路114を介して高周波電源115（1000~200V、-、及び1~100MHz、例えば150V、-、13.56MHz）に接続され、サセプタ2（従って、基板10）との間に1kV以下の高周波電圧重畳の直流バイアス電圧が印加されるようになっている。その他のRF/DCバイアス触媒CVD法とその装置の構成は、既に説明したDCバイアス触媒CVD法とその装置の構成と同様である。

【0134】前記交流電圧を高周波電圧（RF）とするAC/DCバイアス触媒CVD法について、説明する。＜AC/DCバイアス触媒CVD法とその装置＞本例では、触媒CVD法に基づいて、水素系キャリアガスとシランガス等の原料ガスから成る反応ガスを加熱されたタングステン等の触媒体に接触させ、これによって生成したラジカルな堆積種又はその前駆体及びラジカル水素イオンにグロー放電開始電圧以下の電界を作用させて運動エネルギーを与え、絶縁基板上に多結晶シリコン等の所定の膜を気相成長させるに際し、基板と対向電極との間にグロー放電開始電圧以下であって直流電圧に低周波電圧を重畳させた電圧（パッシェンの法則で決まる電圧で、例えば1kV以下の電圧）を印加し、前記ラジカルな堆積種又はその前駆体及びラジカル水素イオンを基板の側へ指向させると共に、電界変化での運動エネルギーを与えるようにしてもよい。以下、このCVD法をAC/DCバイアス触媒CVD法と称する。

【0135】このAC/DCバイアス触媒CVD法は、図6に示す如き成膜装置を用いて実施される。シャワーヘッド3aは加速電極として、導管61を介して（上述のロウバスフィルタ113は省略可）可変の直流電源（1kV以下、例えば500V）69の正極側に接続され、また整合回路114を介して低周波電源125（1000~200V_{p-p}、及び1MHz以下、例えば150V_{p-p}、26kHz）に接続され、サセプタ2（従って、基板10）との間に1kV以下の低周波電圧重畳の直流バイアス電圧が印加されるようになっている。

【0136】また、電界印加は、図7に示すように、加速電極3aに電源の正極側を、サセプタ2（基板10）に負極側（又はアース電位）を印加する方法（A）、又は加速電極3aをアース電位とし、サセプタ2（基板10）に負極側を印加する方法（B）のいずれでもよい。これは、装置構造、電源の種類、バイアス効果等に応じ

て決めればよい。

【0137】また、前記基板10又は前記サセプタ2と前記反応ガス供給手段との間に前記熱触媒体と前記電界印加用の電極とを設置してもよい。この電極は高耐熱性材料、例えば熱触媒体と同じか、またはそれ以上の融点をもつ材料で形成されるのが望ましい。

【0138】前記熱触媒体又は前記電界印加用の電極3aはコイル状、ワイヤー状、メッシュ状又は多孔板状に形成してよく、またガス流に沿って複数個又は複数枚配設してよい。例えば、電極3aの形状を、図8（A）の多孔板状、図8（B）のメッシュ状とすることができる。これによってガス流を効果的に形成しつつ、触媒体とガスとの接触面積を増大させ、触媒反応を十分に生ぜしめることができる。ガス流に沿って複数個又は複数枚配設する場合は、互いに同じ材質又は互いに異なる材質の触媒体又は電極3aとしてもよい。又、複数個又は複数枚配設した触媒体のそれぞれに互いに異なる電界、例えばDCとAC/DC、DCとRF/DC、AC/DCとRF/DCを印加して、独立してコントロールしてもよい。

【0139】また、成膜時又は成膜中に前記触媒体の触媒作用で反応ガスからイオン等の反応種が発生し、これにより基板がチャージアップして膜又はデバイスの性能を劣化させることがある。これを防止するために、前記反応種に帯電防止用の荷電粒子（電子ビーム又はプロトンなど、特に電子ビーム）を照射してイオンを中和することが望ましい。即ち、サセプタ2の近傍に、荷電粒子照射手段が設置されているのがよい。

【0140】例えば、RF/DCバイアス触媒CVD法及びその装置において、図9に示すように、基板10又はサセプタ2の近傍に荷電粒子又はイオン（例えばエレクトロン）シャワー100を配設するとよい。

【0141】本発明の特徴の一つは、バイアス触媒CVD用の熱触媒体5を利用して成膜を行う他、チャンバ内に水素系キャリアガスを導入して、界面欠陥低減のための表面処理を行う点にも存する。この点を、以下に詳説する。上述したバイアス触媒CVD法において、導入するガスの種類を変えてやると、基板の表面を改質したりクリーニングしたりする表面処理を行うことができる。このように、基板表面を処理した後に成膜を行うと、界面欠陥の極めて少ない良質な成膜を行うことが可能となる。

【0142】本例では、基板10の表面に改質及びクリーニングを施すために、ガスシャワーヘッド3aからキャリアガスとしての水素系ガスを導入する。水素系ガスとしては、水素ガス或いは水素ガスに不活性ガスであるアルゴン、ヘリウム、ネオンを含めたもの等があるが、本実施態様では水素ガスのみを用いた例で説明する。水素ガスは熱触媒体5との接触分解反応により活性化され、この活性化水素イオンH^{*}によって基板表面の自然

酸化膜や水分、汚れを除去するクリーニングが行える。
また、活性化水素イオン H^* により、熱触媒体5の酸化を防ぎ、熱触媒体5の劣化を防止することができる。このとき、電界を印加することによって、活性化水素イオン H^* によるクリーニング作用が効率的なものになる。

【0143】本発明の特徴の一つは、バイアス触媒CVDにより半導体膜、絶縁膜を形成する場合において、上記キャリアガス及び原料ガスの導入時間及びタイミングにより、所望の品質及び速度で成膜を行うことができる点にある。以下、図10乃至図15を参照して、図1の装置におけるキャリアガス及び原料ガスの導入方法について説明する。なお、図10乃至図15では、一例として、基板上に保護膜用の窒化シリコン膜及び酸化シリコン膜、ポリシリコン膜、ゲート絶縁膜用の酸化シリコン膜を形成する場合について説明する。

【0144】図10乃至図12に示すガス導入形態は、前提として、キャリアガスとしての水素ガスを、成膜装置1内に一定量連続して導入するものである。先ず、図10に示すガス導入形態について説明する。図10では、各種の成膜を行う前に、その都度、基板10の表面をクリーニングする場合が示されており、この場合のキャリアガスとしての水素ガス及び原料ガスの導入形態が示されている。

【0145】まず、不図示のゲートバルブを通して成膜装置1内に基板10を搬入し、サセプタ2に載置する。次いで、排気系1aを動作させて成膜装置1内を所定圧力まで排気するとともに、サセプタ2に内蔵されたヒータ2aを動作させて基板10を所定温度まで加熱する。

【0146】そして、ガス導入系3を動作させて、まず水素ガス150SCCMを成膜装置1内に導入する。導入された水素ガスの一部は、熱触媒体5による接触分解反応および触媒反応により活性化水素イオン H^* となり、電界印加により効率よく基板表面に到達して、基板10の表面クリーニングを行う。

【0147】上記のように、成膜装置1内に水素ガスが供給されている状態で、ガス導入系3を動作させ、第1の原料ガス（アンモニア50SCCM及びモノシラン15SCCM）を成膜装置1内に導入する。グロー放電開始電圧以下の直流電圧（即ち、パッシェンの法則により決まるプラズマ発生電圧以下、例えば1kV以下、数10V以上）をサセプタ2とガスシャワーヘッド3aとの間に印加する。これによって、熱触媒体5の熱分解反応および触媒反応により第1の原料ガスから形成された高エネルギーの反応種の集団が、前記基板10の側へ指向される。前記反応種の集団が、基板10に到達し、第1の薄膜として窒化シリコン膜の形成が基板表面に作成される。

【0148】その後、第1の原料ガスの導入を停止して、成膜装置1内から第1の原料ガスを排出する。本例では、第1の原料ガスの排出後、所定時間経過した後

に、第2の原料ガスが導入される。このとき、水素ガスは引き続き成膜装置1内に導入されている。したがって、活性化水素イオン H^* により、第1の膜が形成された基板表面の水や酸素等の分子付着が除去され、界面準位を低減させることができる。

【0149】上記のように、活性化水素イオン H^* により第1の膜が形成された基板表面がクリーニングされた後で、第2の原料ガス（モノシラン15SCCM及びヘリウム希釈酸素1~2SCCM）を導入する。グロー放電開始電圧以下の直流電圧（例えば1kV以下、数10V以上）をサセプタ2とガスシャワーヘッド3aとの間に印加する。これによって、熱触媒体5の熱分解反応および触媒反応により第2の原料ガスから形成された高エネルギーの反応種の集団が、前記基板10の側へ指向される。前記反応種の集団が、基板10に到達し、酸化シリコン膜が基板10表面に作成される。

【0150】その後、第2の原料ガスの導入を停止して、処理容器1内から第2の原料ガスを排気する。第2の原料ガスの排気後、常時導入されている水素ガスによる活性化水素イオン H^* により酸化シリコン膜が形成された基板表面がクリーニングされた後で、第3の原料ガス（モノシラン15SCCM）を導入する。グロー放電開始電圧以下の直流電圧（例えば1kV以下、数10V以上）をサセプタ2とガスシャワーヘッド3aとの間に印加する。これによって、熱触媒体5の熱分解反応および触媒反応により第3の原料ガスから形成された高エネルギーの反応種の集団が、前記基板10の側へ指向される。前記反応種の集団が、基板10に到達し、ポリシリコン膜が基板10表面に作成される。

【0151】前記工程と同様に、その後第3の原料ガスの導入を停止して、成膜装置1内から第3の原料ガスを排出する。第3の原料ガスの排気後、引き続き導入されている水素ガスによる活性化水素イオン H^* により半導体膜が形成された基板表面がクリーニングされた後で、第4の原料ガス（モノシラン15SCCM及びヘリウム希釈酸素1~2SCCM）を導入する。グロー放電開始電圧以下の直流電圧（例えば1kV以下、数10V以上）をサセプタ2とガスシャワーヘッド3aとの間に印加する。これによって、熱触媒体5の熱分解反応および触媒反応により第4の原料ガスから形成された高エネルギーの反応種の集団が、前記基板10の側へ指向される。前記反応種の集団が、基板10に到達し、酸化シリコン膜が基板表面に作成される。

【0152】このように、図10に示すガスの導入方法によれば、各種の成膜後、所定時間において活性化水素イオン H^* により基板10の表面をクリーニングするので、基板上に高品質の半導体膜を形成することが可能となる。また、常に成膜装置1内に水素ガスを導入しているので、熱触媒体5の酸化劣化を防止することができ

【0153】次に、図11に示すように、最初に基板表面を所定時間クリーニングし、その後は各種の原料ガスを連続して導入し、成膜を行う場合について説明する。まず、不図示のゲートバルブを通して成膜装置1内に基板10を搬入し、サセプタ2に載置する。次いで、排気系1aを動作させて成膜装置1内を所定圧力まで排気するとともに、サセプタ2に内蔵されたヒータ2aを動作させて基板10を所定温度まで加熱する。

【0154】そして、ガス導入系3を動作させて、まず水素ガス150SCCMを成膜装置1内に導入する。導入された水素ガスのうち一部は、熱触媒体5による接触分解反応により活性化水素イオン H^* となり、基板表面に到達して、基板10の表面クリーニングを行う。

【0155】上記のように、成膜装置1内に水素ガスが供給されている状態で、ガス導入系3を動作させ、第1の原料ガス（アンモニア50SCCM及びモノシラン15SCCM）を成膜装置1内に導入する。グロー放電開始電圧以下の直流電圧（例えば1kV以下、数10V以上）をサセプタ2とガスシャワーヘッド3aとの間に印加する。これによって、熱触媒体5の熱分解反応および触媒反応により第1の原料ガスから形成された高エネルギーの反応種の集団が、前記基板10の側へ指向される。前記反応種の集団が、基板10に到達し、第1の窒化シリコン膜が基板10の表面に作成される。

【0156】その後、第1の原料ガスの導入を停止して、成膜装置1内から第1の原料ガスを排出する。本例では、第1の原料ガスの排出後、間を置かずに、第2の原料ガス（モノシラン15SCCM及びヘリウム希釈酸素1~2SCCM）が導入される。酸化シリコン膜の形成と、第2の原料ガスの排気後は、同様に、間を置かずに第3の原料ガスが導入され、次いで第4の原料ガスが導入される。このように連続で成膜するため、より速く各成膜工程に移行し、成膜を行うことができる。なお、このときも水素ガスは引き続き成膜装置1内に導入されている。このため熱触媒体の酸化による劣化を防止することができる。

【0157】なお、上記ガス導入方法において、少なくともポリシリコン膜の成膜前に、活性化水素イオン H^* による表面のクリーニングを行うことにより、確実に高品質なポリシリコン膜を得ることが可能となり、好適である。

【0158】さらに、図12に示すように、傾斜接合膜を形成する場合の水素ガス及び原料ガスの導入形態について説明する。まず、不図示のゲートバルブを通して成膜装置1内に基板10を搬入し、サセプタ2に載置する。次いで、排気系1aを動作させて成膜装置1内を所定圧力まで排気するとともに、サセプタ2に内蔵されたヒータ2aを動作させて基板10を所定温度まで加熱する。

【0159】そして、ガス導入系3を動作させて、ま

ず、水素ガスを成膜装置1内に導入する。導入された水素ガスは、熱触媒体5による接触分解反応により活性化水素イオン H^* となり、基板表面に到達して、基板10の表面クリーニングを行う。

【0160】上記のように、成膜装置1内に水素ガスが供給されている状態で、ガス導入系3を動作させ、第1の原料ガス（アンモニア50SCCM及びモノシラン15SCCM）を成膜装置1内に導入する。グロー放電開始電圧以下の直流電圧（例えば1kV以下、数10V以上）をサセプタ2とガスシャワーヘッド3aとの間に印加する。これによって、熱触媒体5の熱分解反応および触媒反応により第1の原料ガスから形成された高エネルギーの反応種の集団が、前記基板10の側へ指向される。前記反応種の集団が、基板10に到達し、第1の窒化シリコン膜が基板表面に作成される。

【0161】その後、第1の原料ガスの導入を停止して、成膜装置1内から第1の原料ガスを排出する。本例では、第1の原料ガスが完全に排出される前に、第2の原料ガス（モノシラン15SCCM及びヘリウム希釈酸素1~2SCCM）が導入される。このように、第1の原料ガスの導入量を徐々に減少させるとともに、第2の原料ガスの導入量を徐々に増加させることにより、成膜装置1内には、所定時間、第1の原料ガスと第2の原料ガスが占有率を変えながら混在することになる。このようにして、第1の薄膜と、第2の薄膜との境界が明確に分割されていない、いわゆる傾斜接合の膜、例えば、窒化シリコン-酸窒化シリコン-酸化シリコンの膜にすることができる。但し、MOSTFET特性が悪くなるので、ゲート絶縁膜の酸化シリコン膜とシリコン膜（ポリシリコン、単結晶シリコン、アモルファスシリコン、微結晶シリコン等）は傾斜接合としない。なお、このときも水素ガスは、引き続き成膜装置1内に導入されている。このため熱触媒体の酸化による劣化を防止することができる。

【0162】上記のように、活性化水素イオン H^* を常時発生させ、基板10の表面が常にクリーニングされるように構成されているので、酸化シリコン膜とポリシリコン膜の界面にアモルファスシリコンの遷移層が形成されず、高品質な半導体膜層を形成することが可能となる。

【0163】また、必要に応じて、成膜する前に活性化水素イオン H^* で基板10の表面を常時クリーニングして、表面改質処理するので、基板10の表面の水や酸素等の分子付着が除去されて界面準位が低減し、それぞれの膜間のストレスが低く、高品質の薄膜（窒化シリコン膜、酸化シリコン膜、ポリシリコン膜等）とすることが可能となる。特に、ゲート絶縁膜とポリシリコン膜を連続的に成膜する際に、活性化水素イオン H^* にさらす処理を行なうと、水素アニール効果により、界面準位密度の低い半導体-絶縁体接合構造の高品質半導体装置を製

造することが可能となる。

【0164】次に、図13乃至図15に示すガス導入形態について説明する。図13乃至図15に示すガス導入形態は、キャリアガスとしての水素ガスを、途中で停止し、または低減させることにより、高速に被膜を形成するものである。先ず、図13に示すガス導入形態について説明する。図13では、各種の成膜を行う前に、その都度、基板10の表面をクリーニングする場合を示し、この場合のキャリアガスとしての水素ガス及び原料ガスの導入形態を示している。

【0165】まず、不図示のゲートバルブを通して成膜装置1内に基板10を搬入し、サセプタ2に載置する。次いで、排気系1aを動作させて成膜装置1内を所定圧力まで下げるとともに、サセプタ2に内蔵されたヒータ2aを動作させて、基板10を所定温度まで加熱する。

【0166】そして、ガス導入系3を動作させて、まず水素ガス150SCCMを成膜装置1内に導入する。導入された水素ガスは、一部が熱触媒体5による接触分解反応により活性化水素イオン H^* となり、基板表面に到達して、基板10の表面クリーニングを行う。

【0167】上記のように、成膜装置1内に水素ガスが供給されている状態で、ガス導入系3を動作させ、第1の原料ガス（アンモニア50SCCM及びモノシラン15SCCM）を成膜装置1内に導入する。グロー放電開始電圧以下の直流電圧（例えば1kV以下、数10V以上）をサセプタ2とガスシャワーヘッド3aとの間に印加する。これによって、熱触媒体5の熱分解反応および触媒反応により第1の原料ガスから形成された高エネルギーの反応種の集団が、前記基板10の側へ指向される。前記反応種の集団が、基板10に到達し、第1の薄膜として窒化シリコン膜の形成が基板表面において開始される。

【0168】その後、マスフローコントローラーMを制御して、水素ガスの供給を低減または停止させる。これにより、成膜装置1内では第1の原料ガスの割合が高くなるため、基板10上で窒化シリコン膜の形成速度が高速となる。第1の薄膜の形成が終わったら、第1の原料ガスの導入を停止して、成膜装置1内から第1の原料ガスを排出する。

【0169】成膜装置1から第1の原料ガスが排出されたら、再びキャリアガスとしての水素ガス150SCCMを導入し、活性化水素イオン H^* により、第1の薄膜が形成された基板10の表面の水や酸素等の分子付着を除去し、界面準位を低減させる。水素ガスのみを所定時間導入した後に、第2の原料ガス（モノシラン15SCCM及びヘリウム希釈酸素1~2SCCM）を導入する。グロー放電開始電圧以下の直流電圧（例えば1kV以下、数10V以上）をサセプタ2とガスシャワーヘッド3aとの間に印加する。これによって、熱触媒体5の熱分解反応および触媒反応により第2の原料ガスから形

成された高エネルギーの反応種の集団が、前記基板10の側へ指向される。前記反応種の集団が、基板10に到達し、酸化シリコン膜の形成が基板表面において開始される。

【0170】その後、マスフローコントローラーMを制御して、水素ガスの供給を低減または停止させる。これにより成膜装置1内では第2の原料ガスの割合が高くなるため、基板10上で酸化シリコン膜の形成速度が高速となる。酸化シリコン膜の形成が終わったら、第2の原料ガスの導入を停止して、成膜装置1内から第2の原料ガスを排出する。

【0171】成膜装置1から第2の原料ガスが排出されたら、再びキャリアガスとしての水素ガス150SCCMを導入し、活性化水素イオン H^* により、絶縁膜が形成された基板10の表面の水や酸素等の分子付着を除去し、界面準位を低減させる。水素ガスのみを所定時間導入した後に、第3の原料ガス（モノシラン15SCCM）を導入する。グロー放電開始電圧以下の直流電圧（例えば1kV以下、数10V以上）をサセプタ2とガスシャワーヘッド3aとの間に印加する。これによって、熱触媒体5の熱分解反応および触媒反応により第3の原料ガスから形成された高エネルギーの反応種の集団が、前記基板10の側へ指向される。前記反応種の集団が、基板10に到達し、半導体膜としてのポリシリコン膜の形成が基板表面において開始される。

【0172】その後、マスフローコントローラーMを制御して、水素ガスの供給を低減または停止させる。これにより成膜装置1内では第3の原料ガスの割合が高くなるため、基板10上で半導体膜の形成速度が高速となる。半導体膜の形成が終わったら、第3の原料ガスの導入を停止して、成膜装置1内から第3の原料ガスを排出する。

【0173】成膜装置1から第3の原料ガスが排出されたら、再びキャリアガスとしての水素ガス150SCCMを導入し、活性化水素イオン H^* により、第3の薄膜が形成された基板表面の水や酸素等の分子付着を除去し、界面準位を低減させる。水素ガスのみを所定時間導入した後に、第4の原料ガス（モノシラン15SCCM及びヘリウム希釈酸素1~2SCCM）を導入する。グロー放電開始電圧以下の直流電圧（例えば1kV以下、数10V以上）をサセプタ2とガスシャワーヘッド3aとの間に印加する。これによって、熱触媒体5の熱分解反応および触媒反応により第4の原料ガスから形成された高エネルギーの反応種の集団が、前記基板10の側へ指向される。前記反応種の集団が、基板10に到達し、酸化シリコン膜の形成が基板10の表面において開始される。

【0174】その後、マスフローコントローラーMを制御して、水素ガスの供給を低減または停止させる。これにより成膜装置1内では第4の原料ガスの割合が高くな

るため、基板10上で酸化シリコン膜の形成速度が高速となる。第4の薄膜の形成が終わったら、第4の原料ガスの導入を停止して、成膜装置1内から第4の原料ガスを排出する。

【0175】このように、図13に示すガスの導入方法によれば、各種の成膜後、所定時間において活性化水素イオン H^* により基板10の表面をクリーニングするので、基板10上に高品質の半導体膜および絶縁膜を形成することが可能となる。また、各薄膜形成工程それぞれにおいて、水素ガスの導入を低減または停止し原料ガス濃度を高くしているため、基板10への薄膜形成を高速で行うことができ、作業性を向上させることが可能となる。

【0176】次に、図14に示すように、最初に基板10の表面を所定時間クリーニングし、その後は各種の原料ガスを連続して導入し、成膜を行う場合について説明する。まず、不図示のゲートバルブを通して成膜装置1内に基板10を搬入し、サセプタ2に載置する。次いで、排気系1aを動作させて成膜装置1内を所定圧力まで下げるとともに、サセプタ2に内蔵されたヒータ2aを動作させて基板10を所定温度まで加熱する。

【0177】そして、ガス導入系3を動作させて、まず水素ガス150SCCMを成膜装置1内に導入する。導入された水素ガスは、熱触媒体5による接触分解反応により活性化水素イオン H^* となり、基板10の表面に到達して、基板10の表面クリーニングを行う。

【0178】上記のように、成膜装置1内に水素ガスが供給されている状態で、ガス導入系3を動作させ、第1の原料ガス（アンモニア50SCCM及びモノシラン15SCCM）を成膜装置1内に導入する。グロー放電開始電圧以下の直流電圧（例えば1kV以下、数10V以上）をサセプタ2とガスシャワーヘッド3aとの間に印加する。これによって、熱触媒体5の熱分解反応および触媒反応により第1の原料ガスから形成された高エネルギーの反応種の集団が、前記基板10の側へ指向される。前記反応種の集団が、基板10に到達し、窒化シリコン膜の形成が基板表面において開始される。

【0179】その後、マスフローコントローラーMを制御して、水素ガスの供給を低減または停止させる。これにより成膜装置1内では第1の原料ガスの割合が高くなるため、基板10上で窒化シリコン膜の形成速度が高速となる。窒化シリコン膜の形成が終わったら、第1の原料ガスの導入を停止して、成膜装置1内から第1の原料ガスを排出する。

【0180】本例では、第1の原料ガスの排出後、間を置かずに、水素ガス及び第2の原料ガス（モノシラン15SCCM及びヘリウム希釈酸素1〜2SCCM）が導入される。同様に第2の原料ガスの排気後は、間を置かずに第3の原料ガス（モノシランガス15SCCM）が導入され、次いで第4の原料ガス（モノシラン15SC

CM及びヘリウム希釈酸素1〜2SCCM）が導入される。このように連続で成膜するため、より速く各成膜工程に移行し、成膜を行うことができる。

【0181】なお、上記ガス導入方法において、少なくともポリシリコン膜の成膜前に、活性化水素イオン H^* による表面クリーニングを行うことにより、確実に高品質なポリシリコン膜を得ることが可能となり、好適である。

【0182】さらに、図15に示すように、傾斜接合膜を形成する場合の水素ガス及び原料ガスの導入形態について説明する。まず、不図示のゲートバルブを通して成膜装置1内に基板10を搬入し、サセプタ2に載置する。次いで、排気系1aを動作させて成膜装置1内を所定圧力まで下げるとともに、サセプタ2に内蔵されたヒータ2aを動作させて基板10を所定温度まで加熱する。

【0183】そして、ガス導入系3を動作させて、まず水素ガス150SCCMを成膜装置1内に導入する。導入された水素ガスは、熱触媒体5による接触分解反応により活性化水素イオン H^* となり、基板10の表面に到達して、基板10の表面クリーニングを行う。

【0184】上記のように、成膜装置1内に水素ガスが供給されている状態で、ガス導入系3を動作させ、第1の原料ガス（アンモニア50SCCM及びモノシラン15SCCM）を成膜装置1内に導入する。グロー放電開始電圧以下の直流電圧（例えば1kV以下、数10V以上）をサセプタ2とガスシャワーヘッド3aとの間に印加する。これによって、熱触媒体5の熱分解反応および触媒反応により第1の原料ガスから形成された高エネルギーの反応種の集団が、前記基板10の側へ指向される。前記反応種の集団が、基板10に到達し、第1の薄膜として窒化シリコン膜の形成が基板10の表面において開始される。

【0185】その後、マスフローコントローラーMを制御して、水素ガスの供給を低減または停止させる。これにより成膜装置1内では第1の原料ガスの割合が高くなるため、基板10上で薄膜の形成速度が高速となる。窒化シリコン膜の形成が終わったら、第1の原料ガスの導入を停止して、成膜装置1内から第1の原料ガスを排出する。

【0186】本例では、第1の原料ガスが完全に排出される前に、第2の原料ガス（モノシラン15SCCM及びヘリウム希釈酸素1〜2SCCM）が導入され、電界が印加される。このように、第1の原料ガスの導入量を徐々に減少させるとともに、第2の原料ガスの導入量を徐々に増加させることにより、成膜装置1内には、所定時間、第1の原料ガスと第2の原料ガスが占有率を変えながら混在することになる。このようにして、窒化シリコン膜と、酸化シリコン膜との境界が明確に分割されていない、いわゆる傾斜接合の絶縁膜、例えば、窒化シリ

コン-酸化シリコン-酸化シリコンの膜にすることができ、次に、第3の原料ガス（モノシランガス15SCCM）、第2の原料ガスと同じ第4の原料ガス（モノシラン15SCCM及びヘリウム希釈酸素1~2SCCM）を導入し、電界を印加して連続膜を成膜する。絶縁膜を傾斜接合により積層することにより、膜間のストレスを低減させることができ、さらに、半導体膜を連続成膜することにより、より高品質な半導体-絶縁体接合構造の半導体装置を製造することが可能となる。

【0187】なお、上記ガス導入方法において、少なくともポリシリコン膜の成膜前に、活性化水素イオン H^* による表面のクリーニングを行うことにより、確実に高品質なポリシリコン膜を得ることが可能となり、好適である。

【0188】上記のように、基板10に絶縁膜または半導体膜を形成するときに、少なくとも成膜前に活性化水素イオン H^* でクリーニングさせ、原料ガスを供給して成膜を開始し、所定膜厚後に水素キャリアガスを低減、またはカットして、絶縁膜または半導体膜を高速で成膜するので、生産性が高く、コストダウンを実現することが可能となる。

【0189】また、成膜する前に活性化水素イオン H^* で基板10の表面を常時クリーニングして、表面改質処理するので、基板表面の水や酸素等の分子付着が除去されて界面準位が低減し、それぞれの膜間のストレスが低く、高品質の成膜（窒化シリコン膜、酸化シリコン膜、酸化シリコン膜、ポリシリコン膜等）とすることが可能となる。特に、ゲート絶縁膜とポリシリコン膜を連続的に成膜する際に、活性化水素イオン H^* にさらす処理を行なうと、水素アニール効果により、界面準位密度の低い半導体-絶縁体接合構造の高品質半導体装置を製造することが可能となる。なお、水素キャリアガスをカットした場合でもモノシランの触媒分解反応により高いエネルギーのシリコン原子と同時に活性化水素イオン H^* が発生しているので、熱触媒媒体5が酸化劣化することは少ない。

【0190】図16に、上記ガス導入を可能にするための、ガス供給系3の構成を詳細に示す。ガス供給系3では、キャリアガスとしての水素ガス、及び各種の原料ガスの供給源から、手動バルブ3c及び自動バルブ3dを開閉させることにより、状況に応じて、所定のガスを成膜装置1内に導くように構成されている。

【0191】図16に示すガス供給系3では、複数種のキャリアガス供給源を有しており、キャリアガスとして、各種の水素系ガスから所望のガスを選択できるように構成されている。すなわち、選択されたキャリアガスの手動バルブ3c或いは自動バルブ3dを開放し、マスフローコントローラー（MFC）Mを介して成膜装置1内へ導くものである。なお、本例では三方弁3eが配設されており、選択されたガスを成膜装置1内へ導入する

か、真空排気されるか、が最終的に決定されるように構成されている。不活性ガス、例えばヘリウム希釈酸素のガスは、別系の排気手段から排気されるものとする。

【0192】なお、上記成膜の速度を高める技術として、成膜途中で原料ガスの濃度を高める等の技術を利用した例を示したが、全体のガス圧を高める技術によって、高速成膜することも可能である。

【0193】つまり、上記実施例では、1~20Paの範囲で、特に概略10Paのガス圧が選定されている。そこで、成膜初期は緻密な成膜（特にポリシリコン成膜時にはアモルファスシリコンの遷移層形成防止）のために低いガス圧（例えば1Pa前後）としておき、途中から高いガス圧（10~20Pa）に変更することによって高速成膜することが可能となる。

【0194】このとき、各原料ガスの混合比率は一定にしてもよいし、又は任意に変更することができる。例えば、ポリシリコンの場合を例にすると、初期にはガス圧を1Pa前後とし、モノシラン（1~2SCCM）、水素ガス（15~20SCCM）としておき、途中からガス圧10Pa以上とし、モノシラン（15~20SCCM）、水素ガス（50~100SCCM）とする、というような構成にすることで、高速成膜することが可能となる。

【0195】そして、本発明の最大の特徴の一つは、連続成膜または高速成膜した半導体膜、例えばゲート絶縁膜および半導体膜をレーザーアニール処理する点にある。本例のレーザーアニール処理では、結晶化しようとするアモルファスシリコン薄膜または微結晶シリコン薄膜、ポリシリコン薄膜に短波長パルスレーザーを照射したとき、そのレーザー光がアモルファスシリコン薄膜または微結晶シリコン薄膜、ポリシリコン薄膜の極表面のみで吸収され、その後熱伝導によって半導体膜の内部が溶けて再結晶化し、或はアニールされて結晶粒が大きくなることを利用するものである。

【0196】例えばアモルファスシリコン薄膜としてa-Si:H膜を用いこれに波長308nmのXeClエキシマレーザー光を照射した場合、この波長に対する吸収係数は 10^6 cm^{-1} に達するので、極表面（100Å程度）で吸収され熱に変換される。この熱は直ちに熱伝導によって半導体膜内部に伝わる。この様に膜の表面又は内部が瞬間的に高温になるためにa-Si:H膜は結晶化され、大粒径ポリシリコン膜が形成され、その特性は著しく変化する。例えば膜の移動度が著しく増大し、また光伝導度が低減する。またイオン注入された膜はその不純物が活性化される。

【0197】本例で用いる短波長パルスレーザー光としては、そのレーザー波長が100~400nm、実用範囲は150~350nm、パルス幅が100nsec以下のもの、具体的には10~50nsec就中20nsecのものを用いる。また、パルスのピーク強度は、1

0° W/cm² 以上～10° W/cm² 以下とし、フルエンス（1回のパルスのエネルギー）は1 J/cm² 以下、好ましくは50～500 mJ/cm² 以下、具体的には、200～300 mJ/cm² とする。なお、本例ではエキシマレーザーアニール処理（ELA）するが、これに限定されるものではなく、アルゴンレーザーアニール処理（ALA）してもよい。

【0198】また、本例では、レーザービーム形状として、ラインビーム（例えば、275×0.3～0.4 mm²）のものをを用いる。なお、エリアビーム（例えば、100×100 mm²）のレーザービーム形状のものを使用してもよい。このように、バイアス触媒CVD法等により、連続成膜または高速成膜したゲート絶縁膜および半導体膜をレーザーアニール処理することにより、基板10全体を高温にすることなく低温（室温）にてアモルファスシリコン薄膜または微結晶シリコンまたはポリシリコン膜の大粒径ポリシリコン結晶化、キャリア不純物の活性化等が行え性能の向上が図れる。また半導体装置の製造が容易となる。

【0199】なお、レーザーアニール処理は、基板10上にゲート絶縁膜および半導体膜をバイアス触媒CVD等の成膜装置内で成膜した後、レーザーアニール装置に基板10を導入して行う。レーザーアニール処理は、真空、または窒素ガスまたはいわゆるフォーミングガス、すなわち窒素ガスと水素ガスの混合ガスを導入したレーザーアニール装置中で行う。

【0200】バイアス触媒CVDにより成膜すると、アモルファスシリコン膜には、通常1～3%の水素が含まれる。この程度の量の水素を含む膜は、脱水素化処理をせずに、そのままレーザーアニール処理を行う。このように、バイアス触媒CVDにより成膜されたアモルファスシリコン膜には、水素を1～3%程度しか含有されないため、このアモルファスシリコン膜とゲート絶縁膜用の酸化シリコン膜が積層している膜に直接レーザーアニール処理しても、水素の突沸が発生しない。したがって、レーザーアニールによるポリシリコン結晶化をスムーズに行うことができ、しかも、ポリシリコン膜とゲート絶縁膜の界面準位の改善を容易に行うことができるので、移動度向上などの特性向上を容易に図ることができる。なお、バイアス触媒CVDは、膜の結晶構造を、アモルファスシリコン～アモルファス/微結晶シリコン～微結晶シリコン～アモルファス/微結晶シリコン混在のポリシリコン等のいずれかにもコントロールすることが可能であるという特長がある。従って、バイアス触媒CVDにより成膜した場合、結晶成長のシード（種）を形成しやすいので、エキシマレーザー処理によって、堆積されたシリコンが大粒径化しやすいという特徴がある。

【0201】さらに、本発明の最大の特徴の一つは、基板10上に絶縁膜、半導体膜および電極を形成した後、絶縁膜と半導体膜との界面または絶縁膜を水蒸気ア

ニール処理する点にもある。この水蒸気アニール処理は、上記レーザーアニール処理を行った場合、行っていない場合のどちらの場合でも、行うことができる。逆に、上記レーザーアニールを行い、この水蒸気アニール処理を行わないように構成しても良い。本発明では、バイアス触媒CVD装置等で基板10上に絶縁膜、半導体膜を形成した後、ソース/トップゲート/ドレイン電極を形成し、水蒸気アニールチャンバ31内に配置する。この水蒸気アニールチャンバ31内を、常温～400℃、分圧1×10² Pa以上1×10⁸ Pa以下の飽和蒸気圧以下の水蒸気を含む雰囲気とし、10秒以上20時間以下の加熱を行う。

【0202】以下、この水蒸気アニール処理を行う装置および処理方法について、説明する。図17は、上述の水蒸気アニール処理を行う装置の一例の構成図を示すもので、この場合、水蒸気アニールチャンバ31内に、基板10が配置されるサセプタ32が配置される。このサセプタ32には、ヒーター32bが設けられ、サセプタ32に保持した基板10を所定の温度に加熱することができるようになされている。

【0203】この水蒸気アニールチャンバ31には、排気系31aが設けられ、これが排気手段（図示せず）にバルブV1を介して連結される。また、この水蒸気アニールチャンバ31にはその内部の圧力を観察する圧力計34が設けられる。

【0204】一方、水蒸気アニールチャンバ31の外には、水の収容部35を有する恒温槽36が設けられ、収容部35が、バルブV2およびV3が設けられた連結管37によって連結される。また、キャリアガスが供給されるキャリアガス供給管37が、バルブV4を介して上述の連結管37のバルブV2およびV3との間に連結されると共にバルブV5を介して恒温槽36内の水の収容部に連結された構成とされる。なお、本例では、連結管37からバルブV3を介して水蒸気アニールチャンバ31内に水蒸気を導入するように構成しているが、当然ながら、マスフローコントローラーを設置し、このコントローラーを介してガス供給系33から水蒸気アニールチャンバ31内へ導入するように構成することができる。

【0205】このようにして、予め高真空度に排気した水蒸気アニールチャンバ31に、例えばバルブV4およびV5を閉じた状態で、バルブV2およびV3を開け、恒温槽36によって設定された加熱温度下での飽和蒸気圧によって設定される蒸気量を、バルブV3およびV5の開閉調節によって圧力計34でモニターしながら、水蒸気アニールチャンバ31に真空吸引によって所定量送り込む。そして、この場合水蒸気アニールチャンバ31には、図示しないが、この水蒸気アニールチャンバ31全体を加熱する加熱手段を設けておくことによって、この水蒸気アニールチャンバ31内に送り込まれた水蒸気が結露することがないように、導入した水蒸気量に対す

る露点以上に水蒸気アニールチャンバ31全体を加熱しておくことが望まれる。

【0206】上記水蒸気アニール処理装置を用いて水蒸気アニール処理を行う方法について説明する。基板10上に半導体膜、ゲート絶縁膜、電極を形成する。その後、基板10を、図17で示す水蒸気アニールチャンバ31内のサセプタ32上に配置する。水蒸気アニールチャンバ31内を高真空度に排気した後、バルブV2およびV3、V5を開け、 6.5×10^3 Paの水蒸気を導入して基板温度200~300℃で、30~60分の加熱処理すなわち水蒸気アニールを行い、ゲート絶縁膜の改質、および半導体膜とゲート絶縁膜との界面の改質を行う。

【0207】このように、水蒸気アニール処理を行うことにより、低温条件下で効果的に、半導体膜とゲート絶縁膜との界面の特性が向上し、絶縁膜中の欠陥が改善され、移動度が向上し、高速動作化が実現される。なお、この水蒸気アニールの効果は、半導体膜自体に作用するものではない。

【0208】また、水蒸気アニールを行うための水蒸気導入法は、上述した真空吸引に限られるものではなく、各種ガスを予め充填した水蒸気アニールチャンバ31に、水蒸気を導入することもできる。このように、水蒸気以外のガスを混入させる場合、水蒸気アニールチャンバ31内の熱伝導が向上し、温度分布のばらつきが小さくなるので、折角導入した水蒸気が局所的に温度が低い部分に結露してアニール効果を低下させる不都合を回避できる効果がある。

【0209】また、水蒸気の供給方法は、図17で示されるように、収容部35の水中に各種キャリアガスをくぐらせて水分を含んだキャリアガスを水蒸気アニールチャンバ31内に供給するバブリング方法を採用することもできる。水蒸気アニールは、水蒸気アニールチャンバ31を封じた状態で行うこともできるし、キャリアガスの気流中で行うこともできる。

【0210】さらに、この水蒸気中加熱処理のための水蒸気アニールチャンバ31内への水蒸気の導入は、噴霧器による導入方法とか、超音波振動を与え、これによって発生させるパルスジェット水による噴霧態様を採用することができる。この方法によるときは、水滴粒子が極めて小さく容易に水蒸気アニールチャンバ31中でガス化できるという利点がある。

【0211】また、水蒸気と混合させるガスとして、酸素、窒素、水素、一酸化窒素、一酸化二窒素等各種のガスを用いてもよい。特に、酸素を用いるときは、これ単独のガス中の加熱処理でも誘電分散の大きい絶縁膜の改質効果があるのでこれを混合のガスとして用いることにより、より効果的に改質効果をあげることができる。

【0212】この場合、その分圧を 1.3×10^2 Pa以上 1.0×10^5 Pa以下とするものである。 1.3

$\times 10^2$ Pa以上とするのは、酸素による絶縁膜の誘電分散改善には、 1.3×10^2 Pa以上が必要であり、また、これら窒素等を水蒸気と混合させるのは熱処理容器内の低い温度分布をもっている部分に結露が生じることを防ぐ効果も生じるものであるが、 1.0×10^5 Pa以下（水蒸気圧と同圧程度以下）ではその効果が小さくなることによる。 1.0×10^5 Pa以下とするのは、これを超えると熱処理容器の耐圧を確保する上で装置の複雑化を来し、大掛かりな装置を必要とし実用的ではないことによる。また、水蒸気の方圧が 1.3×10^2 Pa以下の領域では圧力を高くすることによりアニールの短時間化を可能とするが、これを超えると、次第に圧力を高めることの効果は小さくなる。

【0213】本発明の水蒸気アニール処理によって改質される半導体は、シリコンに限られるものではなくゲルマニウム、SiGe固溶体、あるいはSiGe系超格子等の積層薄膜である場合、更に単結晶、非晶質（アモルファス）、多結晶等を得る場合に適用して同様の効果を得ることができる。また絶縁膜は上述のゲート絶縁膜に限られるものではなく、層間絶縁膜、表面保護絶縁膜、平坦化絶縁膜等を有する半導体層装置を得る場合に適用することができる。そして、この絶縁膜は、酸化シリコン膜に限られるものではなく、例えばその成膜時の基板温度が600℃以下で形成される酸化シリコン膜、窒化シリコン膜、あるいはこれらや上述の酸化シリコン膜等の2種以上の積層構造による半導体装置を得る場合に本発明を適用して同様の効果が得られる。更に、層間絶縁膜等においてSOG (Silicon on glass) 等による絶縁膜を有する半導体装置を得る場合においても適用することができる。すなわち、これら各絶縁膜においても、膜中の欠陥、水分によっても素子の特性の安定化が損なわれることがあるが、これら構造による半導体装置を得る場合において、本発明製法を適用して特性の安定化がはかられた半導体装置を得ることができる。

【0214】ソース、トップゲート、ドレインの各電極を形成した後に上記水蒸気アニールを行い、基板10をプラズマ装置内に搬入する。プラズマ装置内を10Pa~数百Paの圧力とし、基板10と対向電極との間に高周波電圧（又は直流電圧）を印加してプラズマ放電を生じさせ、これによって基板10表面、特に電極表面をクリーニングすることができる。この場合のプラズマ発生電圧は1kV以上、特に数kV~数10kV、例えば10kVとする。また、導入するガスとしては、アルゴンガス、アルゴンと水素の混合ガス、アルゴンと窒素の混合ガス、アルゴンと水素と窒素との混合ガスを用いる。このとき、アルゴンに混合する水素、窒素、または水素および窒素の量は、アルゴンの5~10モル比%程度とする。以下、プラズマによりソース、トップゲート、ドレインの各電極表面の酸化膜及び水酸化膜を除去するク

リーニングを、「プラズマクリーニング」と称する。

【0215】なお、本例では、基板10をプラズマクリーニングするように構成しているが、スパッタリングによりクリーニングするように構成しても良い。本発明において、スパッタクリーニングとは、電極形成後の基板10について上記水蒸気アニールを行った後、スパッタリング装置内を所定のガス圧力とし、ガスを導入し、基板10表面、特に電極表面をスパッタリングでクリーニングすることをいう。本例では、上記所定の圧力を、

0.5~1.0Paとする。導入するガスとしては、アルゴンガス、アルゴンと水素の混合ガス、アルゴンと窒素の混合ガス、アルゴンと水素と窒素との混合ガスを用いる。このとき、アルゴンに混合する水素、窒素、または水素および窒素の量は、アルゴンの5~10モル比%程度とする。

【0216】これらのプラズマクリーニングまたはスパッタクリーニングにより、電極形成後の水蒸気を含む雰囲気内のアニール処理によって薄膜上に形成された酸化膜又は水酸化膜を除去することができるので、形成された電極の外部取り出し（金線ボンディング、無電解Ni/Auメッキ+半田バンプ等）の電気/機械的コンタクトが改善され、特性、品質及び信頼性等が向上する。

【0217】なお、本例では、基板10上への半導体膜成膜と、レーザーアニールと、水蒸気アニールと、電極のプラズマクリーニングまたはスパッタクリーニングとを、それぞれ異なる容器内で行うように構成している。ただし、電極形成前に水蒸気アニールを行う場合には、真空容器を図18乃至図20に示すような複数のチャンバを有する容器として構成し、この容器内の異なる室で、半導体膜成膜と、レーザーアニールと、水蒸気アニールとを行うようにしてもよい。このように、電極形成前に水蒸気アニールを行う場合には、電極は水蒸気によって腐食されないため、電極のプラズマクリーニングまたはスパッタクリーニングを行う必要はない。

【0218】図18に示す真空容器1は、基板10を真空容器1内に導入する出入り口としてのロード・ロック室41と、セパレーション室42と、成膜室43と、レーザーアニール室44と、水蒸気アニール室45と、を備える。セパレーション室42は、真空容器1の中央に位置し、ロード・ロック室41、レーザーアニール室44、水蒸気アニール室45のそれぞれと隣接して設けられ、基板10が各室に導入される際には、一旦このセパレーション室42を経由するように構成される。

【0219】図18に示す真空容器を用いて半導体膜を成膜し、レーザーアニールを行った後絶縁膜を成膜する場合の手順について説明する。まずセパレーション室42、成膜室43、レーザーアニール室44、水蒸気アニール室45内を所定圧力になるまで排気し、各室の間の扉を開けておく。

【0220】ロード・ロック室41の図面下側の扉を開

き、基板10をロード・ロック室41内に導入する。その後、この扉を閉め、ロード・ロック室41を所定圧力になるまで排気する。ロード・ロック室41内が所定圧力になったら、ロード・ロック室41とセパレーション室42との間の扉を開け、基板10をセパレーション室42に移送する。

【0221】その後、ロード・ロック室41とセパレーション室42との間の扉を閉め、セパレーション室42と成膜室43との間の扉を開け、基板10を成膜室43に移送してセパレーション室42と成膜室43との間の扉を閉める。成膜室43で、本発明のバイアス触媒CVD等により、基板10上に半導体膜および絶縁膜、本例ではポリシリコン膜、窒化シリコン膜、酸化シリコン膜を成膜する。その後、セパレーション室42と成膜室43との間の扉と、セパレーション室42とレーザーアニール室44との間の扉を開け、基板10をレーザーアニール室44に移送する。

【0222】セパレーション室42とレーザーアニール室44との間の扉を閉め、形成された膜をレーザーアニール処理する。レーザーアニール処理が終了したら、再びセパレーション室42と成膜室43との間の扉と、セパレーション室42とレーザーアニール室44との間の扉を開け、基板10を成膜室43に移送する。

【0223】セパレーション室42と成膜室43との間の扉を閉める。成膜室43で、バイアス触媒CVD等により、基板10上に絶縁膜、本例では酸化シリコン膜を成膜する。成膜が終了したら、セパレーション室42と成膜室43との間の扉と、セパレーション室42と水蒸気アニール室45との間の扉を開け、基板10を水蒸気アニール室45に移送する。

【0224】セパレーション室42と水蒸気アニール室45との間の扉を閉め、形成された膜を水蒸気アニール処理する。水蒸気アニール処理が終わったら、セパレーション室42と水蒸気アニール室45との間の扉と、セパレーション室42とロード・ロック室41との間の扉を開け、基板10をロード・ロック室41に移送する。セパレーション室42とロード・ロック室41との間の扉を閉め、ロード・ロック室41内を大気圧に戻す。

【0225】ロード・ロック室41内が大気圧に戻ったら、ロード・ロック室41の図面下側の扉を開け、基板10を真空容器外に取り出す。図18に示すマルチチャンバからなる真空容器内で成膜、レーザーアニール処理、水蒸気アニール処理をする場合は、成膜とレーザーアニール処理、水蒸気アニール処理とを連続して行うことができる点が特徴である。

【0226】図18に示す真空容器は、バイアス触媒CVD、高密度バイアス触媒CVD、バイアス減圧CVD、バイアス常圧CVDのいずれの方法により半導体膜を成膜する場合でも用いることができる。これらの各C

VDにより、半導体膜および絶縁膜（窒化シリコン膜、酸化シリコン膜、酸窒化シリコン膜、シリコン系膜）を成膜する場合には、形成する薄膜の種類により、異なる原料ガスを成膜室43内に供給する。

【0227】なお、水蒸気アニール工程を行わない場合には、図19に示す真空容器を用いて、上記図18に示す真空容器を用いた場合の半導体膜成膜、レーザーアニール処理、絶縁膜成膜と同様に、各CVDによる工程を行うことができる。図19に示す真空容器は、ロード・ロック室41と、セパレーション室42と、成膜室43と、レーザーアニール室44とを備え、水蒸気アニール室45を備えない点を除き、図18に示す真空容器と同様である。なお、図19に示す真空容器は、レーザーアニール室44の代わりに水蒸気アニール室45を設けるようにしてもよい。このように構成した真空容器は、レーザーアニール処理を行わない場合に用いることができる。

【0228】また、図20に示す真空容器は、ロード・ロック室41と、セパレーション室42と、半導体膜成膜室46と、絶縁膜成膜室47と、レーザーアニール室44とを備える。図20に示す真空容器を用いた場合には、半導体膜成膜を半導体膜成膜室46で行い、絶縁膜成膜を絶縁膜成膜室47で行う。これらの点を除いては、上記図18に示す真空容器を用いた場合の半導体膜成膜、レーザーアニール処理、絶縁膜成膜と同様の各CVDによる工程により、半導体膜の成膜を行うことができる。なお、図20に示す真空容器は、レーザーアニール室44の代わりに水蒸気アニール室45を設けるようにしてもよい。また、レーザーアニール室44と水蒸気アニール室45との両方を設けるようにしてもよい。

【0229】このようにして、基板10上に各種の薄膜が形成される。なお、薄膜の形成は、図1に示す薄膜形成装置Sに限らず、次述する各構成の装置により行われるものである。図21において、薄膜形成装置Sの他の実施例について説明する。本例において、前記実施例と同様部材には同一符号を付して、その説明を省略する。

【0230】図21は、マルチチャンバを備えたCVD薄膜形成装置Sの概略図である。本例のマルチチャンバからなる薄膜形成装置Sは、例えば、3つのチャンバ（A、B、C）とカセットステーションCSと、ロボットRとからなり、各薄膜の形成を、それぞれ別のチャンバA、B、C内で行うように構成されている。そして、各チャンバ（A、B、C）内で、サセプタ2と、ガス供給側との間に、熱触媒体5が配設され、サセプタ2とガス供給側との間に、電界を印加可能に構成されている。

【0231】図21に示されるマルチチャンバでは、バイアス触媒CVDにより、薄膜は次のようにして形成される。ここでは一例として、保護膜用の窒化シリコン膜及び酸化シリコン膜、ポリシリコン膜、ゲート絶縁膜用の酸化シリコン膜及び窒化シリコン膜を形成する例につ

いて説明する。まず、各チャンバ（A、B、C）内において、キャリアガスとしての水素を供給し熱触媒体を所定の温度（例えば1700～1800℃）に加熱してスタンバイしておき、例えば、チャンバAでは、原料ガスとしてモノシランにアンモニアを混合したものを導入し、グロー放電開始電圧以下の直流電圧（例えば1kV以下、数10V以上）を印加して、基板10上に所定膜厚の窒化シリコン膜を形成する。次に基板10をBチャンバに移し、原料ガスとしてモノシランにヘリウム希釈酸素を混合したものを導入し、グロー放電開始電圧以下の直流電圧（例えば1kV以下、数10V以上）を印加して、基板10上に所定膜厚の酸化シリコン膜を形成する。次に基板10をCチャンバに移し、原料ガスとしてモノシランを導入し、グロー放電開始電圧以下の直流電圧（例えば1kV以下、数10V以上）を印加して、基板10上に所定膜厚のポリシリコン膜を形成する。さらにまた基板10をBチャンバに移して、基板10上に所定膜厚の酸化シリコン膜を形成し、必要に応じて基板10をAチャンバに移し所定膜厚の窒化シリコン膜を形成する。

【0232】なお、図10乃至図12に示すガス導入形態を採用し、キャリアガスとしての水素ガスを成膜装置1内に一定量連続して導入する場合で、マルチチャンバを使用するときは、基板10を常に活性化水素イオンH^{*}にさらしておくために、一方のチャンバから他方のチャンバへ移動させる間に、基板10を仮に配設しておくための部屋を、別途設けた構成としても良い。

【0233】本例では、図1乃至図3または図21に示すバイアス触媒CVD装置以外にも、下記に説明するようなバイアス触媒CVD装置を用いることができる。なお、各CVD装置は、ホットウォールLPCVD方式を除けば、基本的に、基板はサセプタ或いはホットプレート上に平置きにされ、反応ガスはそれらの表面に均等に接触するように構成されている。

【0234】バイアス触媒CVD装置として、例えば、装置内にサセプタ2を略水平に配置し、基板をサセプタの表面に搭載し、ガスを横方向から供給する横型のバイアス触媒CVD装置を用いることができる。ガス流に対する各基板の接触機会を増やすために、ガスを供給する側が低くなるようにサセプタに傾斜をつけることもできる。熱触媒体5は、基板の上面を覆うようにサセプタ上に配設され、サセプタとガス供給側との間に電界印加可能に構成される。

【0235】また、水平に配置した円板状のサセプタを、このサセプタの中心を軸として回転させ、ガスをサセプタの上方向からサセプタに垂直に供給する縦型（パンケーキ型）のCVD装置を用いることもできる。熱触媒体は、基板の上面に配設され、サセプタとガス供給側との間に電界印加可能に構成される。

【0236】また、サセプタとしてのシリンダの外側ま

たは内側に基板（本例ではウエハ）をローディングしたシリンドラ型（バレル型、ドラム型）のCVD装置を用いることもできる。シリンドラは、基板を搭載する面が鉛直であり、鉛直方向を軸として回転可能に構成されている。基板は、鉛直になるように、このシリンドラに搭載され、反応ガスは、シリンドラの上方から供給される。バイアス触媒CVDを行う場合には、シリンドラの上方位置、すなわち反応ガスが導入される側の所定位置に、熱触媒体が配設され、シリンドラとガス供給側との間に電界印加可能に構成される。

【0237】また、断面放射状のサセブタを用いた放射型方式のバイアス触媒CVD装置を用いることもできる。このサセブタは、鉛直の板状体が、断面放射形状になるよう接合されたような形状からなり、放射形状の中心を軸として回転可能に構成されている。基板は、この鉛直の板状体に、鉛直になるように搭載され、反応ガスは、サセブタの上方から供給される。サセブタの上方位置、すなわち反応ガスが導入される側の所定位置に、熱触媒体が配設され、サセブタとガス供給側との間に電界印加可能に構成される。

【0238】また、炉の中に所定空間を於いてCVD装置が配設されるホットウォール型バイアス触媒CVD装置を用いることもできる。基板の保持は、治具によって吊持したり、基板を並べて保持する多段カセット等のサセブタを用いたりするなど、各種の公知の手段によって行う。反応ガスが導入される側の所定位置に、熱触媒体が配設され、サセブタとガス供給側との間に電界印加可能に構成される。

【0239】上述したバイアス触媒CVDの薄膜形成装置によれば、多結晶シリコン、単結晶シリコン、アモルファスシリコン、微結晶シリコン等のシリコン薄膜、シリコンゲルマニウム、炭化ケイ素、化合物半導体（ガリウムヒ素、ガリウムリン、ガリウムナイトライド等）の半導体薄膜、酸化シリコン、不純物（リンシリケートガラス（PSG）、ボロンシリケートガラス（BSG）、ボロンリンシリケートガラス（BPSG）等）含有の酸化シリコン、窒化シリコン、酸窒化シリコン、酸化モリブデン、酸化チタン、酸化タンタル、酸化アルミニウム、酸化インジウム等の絶縁体薄膜、高融点金属（タングステン、チタン、タンタル、モリブデン等）、導電性窒化膜（窒化タングステン、窒化チタン、窒化タンタル、窒化モリブデン等）、金属薄膜（金属シリサイド、銅、アルミニウム等）、合金薄膜（アルミニウム-シリコン又はアルミニウム-シリコン-銅等）を成膜することができる。

【0240】そして、上記各種CVDの薄膜形成装置で成膜される薄膜と原料ガス（反応ガス）との関係は次のとおりである。なお、キャリアガスとしては、ヘリウムガス、水素ガス、アルゴンガス、水素ガスとヘリウムガスとの混合ガス、水素ガスとアルゴンガスとの混合ガス

等が好適に用いられる。

【0241】1. Siの成膜には、 SiH_4 、 SiHCl_3 、 SiH_2Cl_2 、 SiCl_4 、 SiH_5 を用いる。

【0242】2. SiO_2 の成膜には、 SiH_4 、 SiHCl_2 、 SiH_2Cl_2 、 SiCl_4 、 SiBr_4 、 SiI_4 、 SiF_4 、 $\text{Si}(\text{OC}_2\text{H}_5)_4$ 、 $\text{Si}(\text{OC}_2\text{H}_5)_3$ 、 $(\text{C}_2\text{H}_5)_2\text{Si}(\text{OC}_2\text{H}_5)_2$ 、 $\text{C}_5\text{H}_{11}\text{Si}(\text{OC}_2\text{H}_5)_3$ 、 $\text{C}_6\text{H}_5\text{Si}(\text{OC}_2\text{H}_5)_3$ 、 $(\text{CH}_3)_2\text{Si}(\text{OC}_2\text{H}_5)_2$ 及び O_2 、 NO 、 N_2O 、 NO_2 、 $\text{CO}_2 + \text{H}_2$ 、 H_2O を用いる。

【0243】3. BPSG、BSG、PSG、AsSGの成膜には、上記2の原料ガス（ SiH_4 、 SiHCl_2 、 SiH_2Cl_2 、 SiCl_4 、 SiBr_4 、 SiI_4 、 SiF_4 、 $\text{Si}(\text{OC}_2\text{H}_5)_4$ 、 $\text{Si}(\text{OC}_2\text{H}_5)_3$ 、 $(\text{C}_2\text{H}_5)_2\text{Si}(\text{OC}_2\text{H}_5)_2$ 、 $\text{C}_5\text{H}_{11}\text{Si}(\text{OC}_2\text{H}_5)_3$ 、 $\text{C}_6\text{H}_5\text{Si}(\text{OC}_2\text{H}_5)_3$ 、 $(\text{CH}_3)_2\text{Si}(\text{OC}_2\text{H}_5)_2$ 及び O_2 、 NO 、 N_2O 、 NO_2 、 $\text{CO}_2 + \text{H}_2$ 、 H_2O ）に、 PH_3 、 B_2H_6 、 AsH_3 、 $\text{PO}(\text{OC}_2\text{H}_5)_3$ 、 $\text{B}(\text{OCH}_3)_3$ 、 $\text{B}(\text{OC}_2\text{H}_5)_3$ 等のガスを混合する。

【0244】4. SiN_x の成膜には、 SiH_4 、 SiH_5 、 SiHCl_3 、 SiHCl_2 、 SiH_3Cl 、 SiCl_4 、 SiBr_4 等に NH_3 、 N_2H_4 、 N_2 を混合した原料ガスを用いる。なおキャリアガスとしてはAr、He等が好適である。

【0245】5. SiO_xN_y の成膜には、上記2、4と同じ原料ガスを用いる。すなわち、 SiH_4 、 SiHCl_2 、 SiH_2Cl_2 、 SiCl_4 、 SiBr_4 、 SiI_4 、 SiF_4 、 $\text{Si}(\text{OC}_2\text{H}_5)_4$ 、 $\text{Si}(\text{OC}_2\text{H}_5)_3$ 、 $(\text{C}_2\text{H}_5)_2\text{Si}(\text{OC}_2\text{H}_5)_2$ 、 $\text{C}_5\text{H}_{11}\text{Si}(\text{OC}_2\text{H}_5)_3$ 、 $\text{C}_6\text{H}_5\text{Si}(\text{OC}_2\text{H}_5)_3$ 、 $(\text{CH}_3)_2\text{Si}(\text{OC}_2\text{H}_5)_2$ 及び O_2 、 NO 、 N_2O 、 NO_2 、 $\text{CO}_2 + \text{H}_2$ 、 H_2O の各原料ガス、 SiH_4 、 SiH_5 、 SiHCl_3 、 SiHCl_2 、 SiH_3Cl 、 SiCl_4 、 SiBr_4 等に NH_3 、 N_2H_4 、 N_2 を混合した原料ガスを用いることができる。

【0246】6. Alの成膜には、 AlCl_3 、 $\text{Al}(\text{CH}_3)_3$ （TMA）、 $\text{Al}(\text{C}_2\text{H}_5)_3$ （TEA）、 $\text{Al}(\text{OC}_2\text{H}_5)_3$ を用いることができる。なお、還元ガスとして H_2 が好適である。

【0247】7. $\text{Al}_2\text{O}_3 - x$ の成膜には、上記6の原料ガス（ AlCl_3 、 $\text{Al}(\text{CH}_3)_3$ （TMA）、 $\text{Al}(\text{C}_2\text{H}_5)_3$ （TEA）、 $\text{Al}(\text{OC}_2\text{H}_5)_3$ ）に、 $\text{CO}_2 + \text{H}_2$ 、 O_2 、 H_2O を加えた原料ガスを用いることができる。

【0248】8. In_2O_3 の成膜には、 $\text{In}(\text{C}$

H₃)、(TMI)、In(C₂H₅)、(TEI)及びO₂、H₂O、CO₂を加えた原料ガスを用いることができる。

【0249】9. 高融点金属の成膜には、例えばフッ化物、塩化物、有機化合物で分類すると、フッ化物の成膜にはMoF₆、WH₆の原料ガス、塩化物の成膜にはMoCl₅、WCl₆、TaCl₅、TiCl₄、ZrCl₄の原料ガス、有機化合物の成膜にはTa(OC₂H₅)₅、(PtCl₂)₂(CO)₂、W(CO)₆、Mo(CO)₆の原料ガスを用いることができる。

【0250】10. シリサイドの成膜には、上記9の原料ガス{フッ化物の成膜にはMoF₆、WH₆の原料ガス、塩化物の成膜にはMoCl₅、WCl₆、TaCl₅、TiCl₄、ZrCl₄の原料ガス、有機化合物の成膜にはTa(OC₂H₅)₅、(PtCl₂)₂(CO)₂、W(CO)₆、Mo(CO)₆の原料ガス}にSiH₄、SiH₆等のシラン系ガスを混入したものを原料ガスとして用いる。

【0251】11. TiNの成膜には、TiCl₄+N₂(+NH₃)の原料ガス、TiONの成膜には、TiCl₄+N₂(+NH₃)にO₂、N₂Oを加えた原料ガスを用いることができる。

【0252】12. Cuの成膜には、ヘキサフルオロアセチルアセトニート銅Cu(HFA)₂及びC(HFA)₂+H₂O、キレート化合物の材料(Cu(DPM)₂、Cu(AcAc)₂、Cu(FOD)₂、Cu(PPM)₂、Cu(HFA)TMVS)等の原料ガスを用いることができる。

【0253】13. Al-Si、Al-Si-Cuの成膜には、上記6の原料ガス(AlCl₃、Al(C₂H₅)₃、(TMA)、Al(C₂H₅)₃、(TEA)、Al(OC₂H₅)₃)に1の原料ガス(SiH₄、SiHCl₃、SiH₂Cl₂、SiCl₄、SiH₆)及び12の原料ガス(ヘキサフルオロアセチルアセトニート銅Cu(HFA)₂及びC(HFA)₂+H₂O、キレート化合物の材料(Cu(DPM)₂、Cu(AcAc)₂、Cu(FOD)₂、Cu(PPM)₂、Cu(HFA)TMVS)等)を加えたものを原料ガスとして用いることができる。以上のような原料ガスによって、前記した各薄膜を成膜することが可能となる。

【0254】そして、上記の薄膜形成装置において、上記した各原料ガスを適宜用いることによって、シリコン半導体装置、シリコン半導体集積回路装置、シリコン-ゲルマニウム半導体装置、シリコン-ゲルマニウム半導体集積回路装置、化合物半導体装置、化合物半導体集積回路装置、炭化ケイ素半導体装置、炭化ケイ素半導体集積回路装置、液晶表示装置、有機/無機エレクトロルミネセンス表示装置、プラズマディスプレイパネル(PDP)装置、フィールドエミッションディスプレイ(FED)装置、発光ポリマー表示装置、発光ダイオード表示

装置、CCDセンサ装置、MOSセンサ装置、高誘電率および強誘電体メモリー装置、太陽電池等を製造することが可能である。

【0255】次に、本発明により薄膜を形成し、さらに、形成された薄膜層を使用して半導体膜層薄膜半導体を形成する方法について、具体的な実施例に基づいて説明する。それぞれの具体的実施例では、前述のようにキャリアガス及び原料ガスの導入時間及びタイミングを変化させることにより、所望の品質及び速度で成膜を行うものとする。

【0256】(具体的実施例1) 具体的な実施例1として、シングルチャンバからなる真空容器を用いたトップゲート型ポリシリコンCMOSTFT製法の実施例を示す。本例は、バイアス触媒CVD法により形成されたポリシリコン膜を、エキシマレーザーアニール処理および/または水蒸気アニール処理するものである。

【0257】本例では、バイアス触媒CVDにより薄膜を形成するように構成しているが、これに限定されるものでなく、高密度バイアス触媒CVD、バイアス減圧CVD、バイアス常圧CVDも本例に適用可能である。

【0258】基板10の材質は、TFT形成過程での基板温度により選択される。バイアス触媒CVD法を採用した場合、ポリシリコン膜や絶縁膜形成過程における基板温度は、200~400℃程度の比較的低温に維持される。このため、TFT形成装置において基板温度がほうけい酸ガラスやアルミノけい酸ガラス等のガラス基板を用いることができる場合は、ほうけい酸ガラス基板やアルミノけい酸ガラス基板を使用できる。このときに、コスト面から基板を大きめにすることが可能であり、例えば、500×600mmの大きさで、0.5~1.1mm厚さとされる。尚、低温の場合は、耐熱性有機樹脂基板を用いてもよい。また、セラミックス等の絶縁性基板を用いることもできる。

【0259】なお、TFT形成過程において、基板温度が600~1000℃程度の比較的高温となる場合は、石英ガラス、結晶化ガラス等の耐熱性ガラス基板を用いる。耐熱性ガラス基板は、例えば、直径15~30cmの大きさで、700~800μm厚さとされる。また、一般的なシリコンウェハと同様のオリエンテーション・フラット(オリフラ)が形成される。

【0260】次に、第1工程~第13工程からなるトップゲート型ポリシリコンCMOSTFTの作製工程について説明する。まず、第1工程で、シングルチャンバからなるバイアス触媒CVD装置である成膜装置1内に基板10を設置し、排気系1aを動作させて成膜装置1内を所定圧力になるまで排気するとともに、サセプタ2に内蔵されたヒータ2aを動作させて基板10を所定温度(200℃程度)まで加熱する。次いで、成膜装置1内にキャリアガスとしての水素ガス50~100SCCMを供給する。なお、この水素ガスの代わりに、アルゴン

と水素、またはヘリウムと水素、またはネオンと水素との混合ガスであって水素を80～90モル比%含むものを供給するように構成しても良い。水素ガスは、熱触媒体5との接触により活性化されて、一部が活性化水素イオン H^* となり、基板10の表面のクリーニングがなされる。なお水素系キャリアガスと原料ガスの供給によるガス圧力は0.1～1.0Pa程度、本例では0.5Paとする。従って、水素系キャリアガスと原料ガスの混合比率を一定又は変更して、ガス圧力を低めにして緻密な成膜、逆に高めにしてより高速な成膜としてもよい。但し、このガス圧力範囲は成膜された膜質と装置性能により制約されることは言うまでもない。

【0261】次に、第2工程で保護膜用の窒化シリコン膜11を形成する。水素ガス50～100SCCMが供給されている成膜装置1内に、モノシラン1～20SCCMにアンモニア5～50SCCMを混合した原料ガスを導入する。グロー放電開始電圧以下の直流電圧（例えば1kV以下、数10V以上）をサセプタ2とガスシャワーヘッド3aとの間に印加する。成膜装置1内では、導入されたガスが熱触媒体5を介して、基板10の一主面に、保護膜用の窒化シリコン膜11を形成する。本例では、窒化シリコン膜11が50～200（nm）厚形成される。このとき、成膜装置1内での原料ガスの割合を高めるために、マスフローコントローラーMを制御して、水素ガスの供給を成膜の途中で低減させ、窒化シリコン膜11を高速で成膜しても良い。その後、成膜装置1内へのアンモニアおよびシランの供給を停止する。

【0262】上記保護膜用の窒化シリコン膜11は、基板10としてほうけい酸ガラス、アルミノけい酸ガラス等を用いた場合、基板10からのNaイオンをストップするために形成されるものであり、基板10として合成石英ガラスを使用した場合は不要である。

【0263】次に、第3工程では、保護膜用の酸化シリコン膜12を形成する。第2工程で、水素ガスを低減させた場合は、成膜装置1内に、キャリアガスとしての水素ガス50～100SCCMを導入する。また、成膜装置1内に連続して供給されているモノシランガス1～20SCCMに、ヘリウム希釈酸素ガス1～2SCCMを、適当比率混合して導入する。グロー放電開始電圧以下の直流電圧（例えば1kV以下、数10V以上）をサセプタ2とガスシャワーヘッド3aとの間に印加する。成膜装置1内では、導入されたガスが熱触媒体5を介して、基板10上に保護膜用の酸化シリコン膜12を成膜する。本例では、酸化シリコン膜12は、50～100（nm）厚形成される。このとき、成膜装置1内での原料ガスの割合を高めるために、マスフローコントローラーMを制御して、水素ガスの供給を成膜の途中で低減させ、酸化シリコン膜12を高速で成膜しても良い。成膜装置1内へのシランとヘリウム希釈酸素の供給を停止する。

【0264】さらに、第4工程では、ポリシリコン膜13を形成する。なお、ポリシリコン膜13の形成前に、成膜装置1内にキャリアガスとしての水素ガスが供給されており、成膜前に必ず活性化水素イオン H^* による表面クリーニングが行われるように構成されていれば、高品質なポリシリコン膜を確実に得ることが可能となり、好適である。

【0265】ポリシリコン膜13を形成するときには、第3工程で、水素ガスを低減させた場合は、成膜装置1内に、キャリアガスとしての水素ガス50～100SCCMを導入する。また、このとき成膜装置1内には、モノシランガス1～20SCCMが供給されている。グロー放電開始電圧以下の直流電圧（例えば1kV以下、数10V以上）をサセプタ2とガスシャワーヘッド3aとの間に印加する。導入されたガスは、熱触媒体5を介して、基板10上にポリシリコン膜13を形成する。本例のポリシリコン膜13は、40～60（nm）厚に形成される。

【0266】このとき、必要に応じて、原料ガスのシラン系ガス（モノシラン（ SiH_4 ）又はジシラン（ Si_2H_6 ）又はトリシラン（ Si_3H_8 ）等）に、N型のリン又はヒ素又はアンチモン等を適量混入したり、又はP型のボロンを適量混入することで、任意のN型又はP型不純物キャリア濃度のポリシリコン膜を形成することができる。N型化の場合は、例えば、フォスフィン（ PH_3 ）、アルシン（ AsH_3 ）、スチピン（ SbH_3 ）が採用され、P型化の場合は、例えば、ジボラン（ B_2H_6 ）が採用される。このとき、成膜装置1内での原料ガスの割合を高めるために、マスフローコントローラーMを制御して、水素ガスの供給を成膜の途中で低減または停止させ、ポリシリコン膜13を高速で成膜しても良い。

【0267】また、ポリシリコン膜13を形成した後、シリコンイオンをドーピングまたはシリコンイオン注入してポリシリコンをアモルファス化してもよい。このようにすることにより、結晶成長のシード（種）が得られ、グレインサイズの大きいポリシリコン膜を得ることができる。このように、一旦結晶化したポリシリコン膜をアモルファス化することにより、レーザー光の熱エネルギー吸収が大きくなって、レーザーアニール処理時にアモルファスシリコン膜が融け易くなり、レーザーアニール処理による結晶化が容易になる。

【0268】ポリシリコン膜13が形成されたら、原料ガスをカットし、熱触媒体5および基板を問題ない温度まで冷却して、キャリアガスの導入を停止する。その後、十分に排気した後に、窒素ガスを導入して大気圧に戻し、基板10をバイアス触媒CVD成膜装置から取り出し、形成したポリシリコン膜13をエキシマレーザーアニール処理する。エキシマレーザーアニール処理は、

50 バイアス触媒CVD成膜装置とは異なる不図示のレーザ

ーアニール装置中で行う。このレーザーアニール装置内を真空とし、または窒素ガスまたはいわゆるフォーミングガス、すなわち窒素ガスと水素ガスとを混合したガスを導入し、基板10の膜形成面側から短波長パルスレーザー光を照射することによって行う。

【0269】本例で用いる短波長パルスレーザー光としては、そのレーザー波長が100～400nm、実用範囲は150～350nm、パルス幅が10～50nsec就中20nsecのものをを用いる。また、パルスのピーク強度は、 10^8 W/cm^2 以上～ 10^9 W/cm^2 以下とし、フルエンス（1回のパルスのエネルギー）は200～300mJ/cm²とする。

【0270】このような短波長パルスレーザー光としてXeCl（308nm波長）を用いる。95%以上のオーバーラップスキニングで照射し、ポリシリコン膜を加熱溶解するのが好ましい。また、レーザービーム形状がラインビーム（例えば、275×0.3～0.4mm²）であるものをを用いる。なお、エキシマレーザーアニール処理時には、300～400℃に基板10を加熱してもよい。

【0271】なお、本例では、エキシマレーザー処理した後に、トップゲート絶縁膜用の酸化シリコン膜及び窒化シリコン膜または酸化窒化シリコン膜を連続成膜するが、この順序を逆、すなわち、トップゲート絶縁膜用の酸化シリコン膜及び窒化シリコン膜または酸化窒化シリコン膜を形成した後に、エキシマレーザー処理することも可能である。この場合にも、エキシマレーザーアニール処理は、表面側から短波長パルスレーザー光を照射することによって行う。

【0272】このように、トップゲート絶縁膜用の酸化シリコン膜及び窒化シリコン膜を介してエキシマレーザー処理でシリコン膜を溶解させる。酸化シリコン膜及び窒化シリコン膜が厚い場合には、高エネルギー照射が必要となってしまうため、これらの膜を、より薄い膜として形成することが望まれる。バイアス触媒CVD法によって形成された酸化シリコン膜及び窒化シリコン膜は、絶縁耐圧が大きく、薄い膜として形成しても十分な絶縁性能を得ることができるという特徴がある。従って、本例のように、酸化シリコン膜及び窒化シリコン膜を介してエキシマレーザー処理でシリコン膜を溶解させる場合には、酸化シリコン膜及び窒化シリコン膜の形成には、薄い膜の形成が可能なバイアス触媒CVD法が適しているということができる。

【0273】その後、レーザーアニール装置から基板10を取り出し、再び基板10をバイアス触媒CVD装置内に設置する。第5工程として、ゲート絶縁膜用の酸化シリコン膜14を成膜する。成膜装置1内に、キャリアガスとしての水素ガス50～100SCCMを導入する。また、成膜装置1内に、モノシランガス1～20SCCMと、ヘリウム希釈酸素0.1～2SCCMとを、

適当比率混合して導入する。グロー放電開始電圧以下の直流電圧（例えば1kV以下、数10V以上）をサセプタ2とガスシャワーヘッド3aとの間に印加する。成膜装置1内では、導入されたガスが熱触媒体5の熱分解および触媒作用により、基板10上にゲート絶縁膜用の酸化シリコン膜14を、所定膜厚に形成する。また、必要に応じてヘリウム希釈酸素をカットしてアンモニアを適当比率混合して、所定膜厚の窒化シリコン膜15を連続形成しても良い。このとき、成膜装置1内での原料ガスの割合を高めるために、マスフローコントローラーMを制御して、水素ガスの供給を成膜の途中で低減させ、酸化シリコン膜14及び窒化シリコン膜15を高速で成膜しても良い。

【0274】なお、成膜後は、原料ガスをカットし、熱触媒体を問題ない温度まで冷却して、キャリアガスの導入を停止する。成膜後に、原料ガスをカットして水素系キャリアガスのみを導入することにより、形成されたポリシリコン膜と酸化シリコン膜の界面および酸化シリコン膜を、活性化水素イオンH^{*}でアニール処理して、界面準位を低減し、絶縁膜を改質することができる。絶縁性薄膜形成時には、それぞれの原料ガスを傾斜減少又は傾斜増加させて、傾斜接合の膜を成膜してもよい。

【0275】なお本例では、シングルチャンバのバイアス触媒CVD装置を用いて薄膜を形成するように構成しているが、マルチチャンバのバイアス触媒CVD装置を用いて薄膜を形成しても良い。その場合には、次のA～Cチャンバを備えたマルチチャンバ真空容器を用い、上記第1～第5工程を次の手順で行う。第1工程では、各チャンバ内に水素系キャリアガスを供給して熱触媒体5を所定温度に加熱しておく。その後、基板10をAチャンバに移し、モノシランガスとアンモニアガスを適量比率混合して導入し、電界を印加して窒化シリコン膜50～200（nm）厚を形成する。

【0276】窒化シリコン膜が形成されると、基板10をBチャンバに移し、モノシランガスにヘリウム希釈の酸素ガスを適量比率混合して導入し、電界を印加して酸化シリコン膜50～100（nm）厚を形成する。その後基板10をCチャンバに移し、モノシランガスおよびSnH₄を適量比率混合して導入し、電界を印加してポリシリコン膜40～60（nm）厚を形成する。

【0277】ポリシリコン膜13が形成されたら、原料ガスをカットし、熱触媒体5を問題ない温度まで冷却して、キャリアガスの導入を停止する。この後、基板10を成膜装置1から取り出し、形成したポリシリコン膜をエキシマレーザーアニール処理する。

【0278】その後、基板10を再びBチャンバに設置し、モノシランガスにヘリウム希釈の酸素ガスを適量比率混合して導入し、電界を印加して酸化シリコン膜50～100（nm）厚を形成する。必要に応じて基板10をAチャンバに移し、モノシランガスにアンモニアガスを

を適量比率混合して導入し、電解を印加して窒化シリコン膜50~100 (nm) 厚を形成する。成膜後は原料ガスをカットし、熱触媒体5を問題ない温度まで冷却して水素系キャリアガスをカットする。

【0279】なお、本例のトップゲート型ポリシリコンCMOSTFT製法では、上記の通り、水素ガスの供給を成膜の途中で低減または停止させ、各薄膜を高速で成膜することができるが、成膜途中に、水素系キャリアガスをストップしても、シラン系ガスの熱分解および触媒反応により、多量の活性化水素イオン H^* が発生するので、熱触媒体5が劣化することはない、高速成膜を行った場合であっても、熱触媒体5は、充分な触媒機能が保たれるものである。こうして、絶縁基板10上に40~60 (nm) 厚の大粒径ポリシリコン層を成膜する。

【0280】次いで、上記ポリシリコン層を少なくともチャンネル、ソース、ドレイン領域とするMOSTFTの作製を行う。第6工程として、図23に示すように、NチャンネルMOSTFT用のチャンネル領域の不純物濃度を制御するために、PチャンネルMOSTFTを、フォトレジスト1でマスクし、P型不純物イオン（例えば、二フッ化ホウ素イオン BF_2^+ ）を、例えば、20~30 keVで $2\sim3\times10^{12} \text{ atoms/cm}^2$ のドーズ量でイオン注入し、ポリシリコン層の導電型をP型化したシリコン層11とする。

【0281】次いで、第7工程として、図24に示すように、PチャンネルMOSTFT用のチャンネル領域の不純物濃度を制御するために、今度は、NチャンネルMOSTFTをフォトレジスト2でマスクし、N型不純物イオン（例えば、リンイオン P^+ ）を、例えば、40~50 keVで $2\sim3\times10^{12} \text{ atoms/cm}^2$ のドーズ量でイオン注入し、ポリシリコン層のN型化したシリコン層12とする。

【0282】次いで、第8工程では、図25に示すように、ゲート電極材料としての耐熱性の高いモリブデン/タンタル合金膜16を、スパッタ法で、例えば、400 (nm) 厚に堆積させる。

【0283】次いで、第9工程では、図26に示すように、フォトレジスト3を所定パターンに形成し、これをマスクにして、モリブデン/タンタル合金膜16をゲート電極17の形状にパターニングし、更に、フォトレジスト3を除去する。

【0284】次いで、第10工程では、図27に示すように、PチャンネルMOSTFT及びゲート電極17をフォトレジスト4でマスクし、N型不純物である、例えば、 As^+ イオンを、例えば、60~70 keVで $1\times10^{15} \text{ atoms/cm}^2$ のドーズ量でイオン注入し、フォトレジスト剥離後、 N_2 中約1000℃で20秒~30秒間のRTA (Rapid Thermal Anneal) で活性化し、NチャンネルMOSTFTの N^+ 型ソース領域S1及びドレイン領域D1をそれぞれ

形成する。なお、このRTA処理は、PチャンネルMOSTFTの活性化と一緒にしても良い。

【0285】次いで、第11工程では、図28に示すように、NチャンネルMOSTFT及びゲート電極17をフォトレジスト5でマスクし、P型不純物である、例えば、 B^+ イオンを、例えば、20~30 keVで $1\times10^{15} \text{ atoms/cm}^2$ のドーズ量でイオン注入し、フォトレジスト剥離後、 N_2 中約1000℃で20秒~30秒間のRTA (Rapid Thermal Anneal) で活性化し、PチャンネルMOSTFTの P^+ 型ソース領域S2及びドレイン領域D2を、それぞれ形成する。

【0286】次いで、第12工程では、図29に示すように、全面にバイアス触媒CVD法等によって、酸化シリコン膜19を、例えば50~100 (nm) 厚、リンシリケートガラス (PSG) 膜20を、例えば200~300 (nm) 厚、窒化シリコン膜21を100~200 (nm) 厚に成膜する。

【0287】次いで、第13工程では、図30に示すように、絶縁膜の所定位置にコンタクト窓開けを行い、各ホールを含む全面にアルミニウムなどの電極材料を、スパッタ法等により、150℃で1μmの厚みに堆積する。その後、これをパターニングして、PチャンネルMOSTFT及びNチャンネルMOSTFTの、それぞれのソース又はドレイン電極S又はDとゲートコンタクト又は配線Gを形成する。その後、フォーミングガス ($N_2 + H_2$) 中400℃で1時間シンター処理し、オーミックコンタクトと表面準位を改善し、各MOSTFTを完成する。

【0288】なお、上記第13工程で、ソース電極S又はドレイン電極Dとゲート取り出し電極又は配線Gを形成した後、次の第14工程の水蒸気アニール工程及び第15工程のプラズマクリーニング工程（またはスパッタクリーニング工程）を行ってもよい。

【0289】本例では、第5工程の後のレーザーアニール工程と、この水蒸気アニール工程およびプラズマクリーニング工程（またはスパッタクリーニング工程）との双方を備えるように構成しているが、レーザーアニール工程を備えるが水蒸気アニール工程及びプラズマクリーニング工程（またはスパッタクリーニング工程）を備えないように構成しても良い。また、レーザーアニール工程を備えずに、水蒸気アニール工程及びプラズマクリーニング工程（またはスパッタクリーニング工程）を備えるように構成しても良い。また、レーザーアニール工程と水蒸気アニール工程とを電極形成前に行う場合には、電極が水蒸気によって腐食されないため、電極のプラズマクリーニングまたはスパッタクリーニング工程とを行う必要はない。なお、レーザーアニール工程を、第4工程（ポリシリコン膜形成工程）と第5工程（ゲート絶縁膜（酸化シリコン膜）形成工程）との間に行わない場合

には、ポリシリコン膜13とゲート絶縁膜の酸化シリコン膜14は、連続成膜する方がよい。

【0290】第14工程は、上述の通り水蒸気アニール工程であり、薄膜層および電極の形成された基板10を、上述した真空吸引による方法により、水蒸気アニール処理する。水蒸気アニールチャンバ31内のサセプタ32上に基板10を載置する。この水蒸気アニールチャンバ31内で、 2×10^5 Pa $\sim 3 \times 10^5$ Paの高圧水蒸気中、180℃ ~ 200 ℃、30分 ~ 60 分間基板10を加熱し、絶縁膜と半導体膜との界面または絶縁膜の改質を行う。

【0291】次いで、第15工程で、上記実施例1で説明した手順により、上記形成された膜の少なくとも電極パッド部表面を、スパッタクリーニング又はプラズマクリーニングする。その後、水蒸気アニール工程を行わない場合と同様に、フォーミングガス($N_2 + H_2$)中400℃で1時間シンター処理し、オーミックコンタクトと表面準位を改善し、各MOSTFETを完成する。

【0292】(具体的実施例2)さらに、具体的な実施例2として、ボトムゲート型ポリシリコンCMOSTFET製法の実施例について説明する。本例は、ポリシリコン膜をエキシマレーザーアニール処理および/または水蒸気アニール処理するものである。本例では、バイアス触媒CVDにより薄膜を形成するように構成しているが、これに限定されるものでなく、高密度バイアス触媒CVD、バイアス減圧CVD、バイアス常圧CVDも本例に適用可能である。基板10の材質、大きさは、上記具体的実施例1と同様の基準により選択される。

【0293】上記ボトムゲート型ポリシリコンCMOSTFETの作製工程について説明する。まず、基板10の少なくともTFET領域に、モリブデン/タンタル合金のスパッタ膜300 ~ 400 (nm)厚を形成する。そして汎用フォトリソグラフィ及びエッチング技術により、20 ~ 45 度のテーパエッチングを施し、ボトムゲート電極を形成する。

【0294】次に、上記具体的実施例1の第1工程乃至第4工程と同様の手順により、基板10上に、保護膜用、ボトムゲート絶縁膜用の窒化シリコン膜、酸化シリコン膜と、ポリシリコン膜と、保護膜用、レーザー反射低減用の酸化シリコン膜とを成膜する。このときに、少なくともゲート絶縁膜の酸化シリコン膜とポリシリコン膜とは連続成膜した方がよい。成膜後は、原料ガスをカットし、熱触媒体5を問題ない温度まで冷却して、キャリアガスの導入を停止する。その後、基板10を成膜装置1から取り出してレーザーアニール装置に導入し、ポリシリコン膜を、上記具体的実施例1と同様の手順により、レーザーアニール処理する。但し、本例では、エキシマレーザーアニール処理を、形成された薄膜の表面側から短波長パルスレーザー光を照射することによって行う。

【0295】こうして、絶縁基板10上に40 ~ 60 (nm)厚の大粒径ポリシリコン層を成膜する。次いで、ポリシリコン層を少なくともチャンネル領域とするMOSTFETの作製を行う。本例では、ボトムゲート電極を最初に形成しているため、ポリシリコンおよび保護膜の酸化シリコン膜形成後には、電極として、ソース、ドレイン電極が形成される。

【0296】次に、上記具体的実施例の第6工程と同様の手順により、PチャンネルMOSTFETをフォトレジストでマスクし、P型不純物イオン(例えば、二フッ化ホウ素イオン BF_2^+)をイオン注入し、ポリシリコン層の導電型をP型化したシリコン層とする。次いで、上記具体的実施例の第7工程と同様の手順により、NチャンネルMOSTFETをフォトレジストでマスクし、N型不純物イオン(例えば、リンイオン P^+)を打ち込み、ポリシリコン層の導電型をN型化したシリコン層とする。

【0297】その後、上記具体的実施例1の第10工程および第11工程と同様の手順により、イオン注入、RTAによる活性化を行い、NチャンネルMOSTFETの N^+ 型ソース領域及びドレイン領域、PチャンネルMOSTFETの P^+ 型ソース領域及びドレイン領域を、それぞれ形成する。次いで、全面に、バイアス触媒CVD等によって、保護用の酸化シリコン膜、リンシリケートガラス(PSG)膜、窒化シリコン膜を成膜する。

【0298】次いで、絶縁膜の所定位置にコンタクト窓開けを行い、各ホールを含む全面にアルミニウムなどの電極材料を、スパッタ法等により、150℃で1 μm の厚みに堆積する。その後、これをパターニングして、PチャンネルMOSTFET及びNチャンネルMOSTFETの、それぞれのソース又はドレイン電極を形成する。その後、フォーミングガス($N_2 + H_2$)中400℃で1時間シンター処理し、オーミックコンタクトと表面準位を改善し、各MOSTFETを完成する。

【0299】その後、前記具体的実施例1と同様な方法で、水蒸気アニール処理およびプラズマクリーニング(またはスパッタクリーニング)を行う。本例では、レーザーアニール工程と、水蒸気アニール工程およびプラズマクリーニング工程(またはスパッタクリーニング工程)との双方を備えるように構成しているが、これら双方のいずれかを備えるように構成してもよい。

【0300】また、本例では、水蒸気アニール工程をソース電極およびドレイン電極形成後に行っているため、水蒸気アニール工程を行った後にプラズマクリーニング(またはスパッタクリーニング)を行うように構成している。しかし、水蒸気アニール工程は、保護膜用、レーザー反射低減用の酸化シリコン膜を成膜した後すぐに行ってもよい。特に、図18(b)に示すように、成膜室43等の他に水蒸気アニール室45を備えるマルチチャンバからなる真空容器を用いて成膜および水蒸気アニール

ルをする場合には、成膜と水蒸気アニール工程とを同じ装置内で連続して行うことができる。このように、水蒸気アニール工程をソース電極およびドレイン電極形成前に行う場合には、これらの電極が水蒸気によって腐食されないため、これらの電極のプラズマクリーニングまたはスパッタクリーニング工程とを行う必要はない。

【0301】(具体的実施例3) 具体的な実施例3として、デュアルゲート型ポリシリコンCMOSTFT製法の実施例について説明する。本例は、ポリシリコン膜をエキシマレーザーアニール処理および/または水蒸気アニール処理するものである。なお、本例では、バイアス触媒CVDにより薄膜を形成するように構成しているが、これに限定されるものでなく、高密度バイアス触媒CVD、バイアス減圧CVD、バイアス常圧CVDも本例に適用可能である。基板10の材質、大きさは、上記具体的実施例1と同様の基準により選択される。

【0302】次に、デュアルゲート型ポリシリコンCMOSTFTの作製工程について説明する。まず、基板10の少なくともTFT領域に、モリブデン/タンタル合金のスパッタ膜300~400(nm)厚を形成する。そして汎用フォトリソグラフィ及びエッチング技術により、20~45度のテーパエッチングを施し、ボトムゲート電極を形成する。

【0303】次いで、上記具体的実施例1の第1工程乃至第4工程と同様の手順により、基板10上に、保護膜用、ボトムゲート絶縁膜用の窒化シリコン膜、酸化シリコン膜、ポリシリコン膜、トップゲート絶縁膜用の酸化シリコン膜、必要に応じて窒化シリコン膜を成膜する。少なくとも、ポリシリコン膜とトップゲート絶縁膜用の酸化シリコン膜とは、連続成膜するものとする。その後、基板10を成膜装置1から取り出してレーザーアニール装置に導入し、ポリシリコン膜を、上記具体的実施例1と同様の手順により、レーザーアニール処理する。このようにして、例えば、40~60(nm)厚の大粒径のポリシリコン膜が成膜される。次いで、ポリシリコン層を少なくともチャンネル領域とするMOSTFTの作製を行う。

【0304】上記具体的実施例の第6工程と同様の手順により、PチャンネルMOSTFTをフォトレジストでマスクし、P型不純物イオン(例えば、二フッ化ホウ素イオン BF_2^+)を打ち込み、ポリシリコン層の導電型をP型化したシリコン層とする。次いで、上記具体的実施例の第7工程と同様の手順により、NチャンネルMOSTFTをフォトレジストでマスクし、N型不純物イオン(例えば、リンイオン P^+)を打ち込み、ポリシリコン層の導電型をN型化したシリコン層とする。

【0305】次いで、上記具体的実施例1の第8工程および第9工程と同様の手順により、スパッタ法で堆積させたモリブデン/タンタル合金膜を、ゲート電極の形状にバターニングし、トップゲート電極を形成する。

【0306】その後、上記具体的実施例1の第10工程および第11工程と同様の手順により、イオン注入、RTAによる活性化を行い、NチャンネルMOSTFTの N^+ 型ソース領域及びドレイン領域、PチャンネルMOSTFTの P^+ 型ソース領域及びドレイン領域を、それぞれ形成する。次いで、全面に、バイアス触媒CVD等によって、保護用の酸化シリコン膜、窒化シリコン膜を成膜する。

【0307】次いで、絶縁膜の所定位置にコンタクト窓開けを行い、各ホールを含む全面にアルミニウムなどの電極材料を、スパッタ法等により、150℃で1μmの厚みに堆積する。その後、これをバターニングして、PチャンネルMOSTFT及びNチャンネルMOSTFTの、それぞれのソース又はドレイン電極およびゲートコンタクトまたは配線を形成する。その後、フォーミングガス($\text{N}_2 + \text{H}_2$)中400℃で1時間シンター処理し、オーミックコンタクトと表面準位を改善し、各MOSTFTを完成する。

【0308】その後、前記具体的実施例1と同様な方法で、水蒸気アニール処理およびプラズマクリーニング(またはスパッタクリーニング)を行う。本例では、レーザーアニール工程と、水蒸気アニール工程およびプラズマクリーニング工程(またはスパッタクリーニング工程)との双方を備えるように構成しているが、これら双方のいずれかを備えるように構成しても良い。

【0309】また、本例では、水蒸気アニール工程をソース電極およびドレイン電極、トップゲート電極形成後に行っているため、水蒸気アニール工程を行った後にプラズマクリーニング(またはスパッタクリーニング)を行うように構成している。しかし、水蒸気アニール工程は、トップゲート絶縁膜の酸化シリコン膜等を成膜した後すぐに行ってもよい。特に、図18に示すように、成膜室43等の他に水蒸気アニール室45を備えるマルチチャンバからなる真空容器を用いて成膜および水蒸気アニールをする場合には、成膜と水蒸気アニール工程とを同じ装置内で連続して行うことができる。このように、水蒸気アニール工程を電極形成前に行う場合には、これらの電極が水蒸気によって腐食されないため、これらの電極のプラズマクリーニングまたはスパッタクリーニング工程を行う必要はない。

【0310】なお、本例では、上記シリコン薄膜のほか、ゲルマニウム、シリコンゲルマニウム等の多結晶半導体または微結晶半導体或いはアモルファス半導体薄膜等を形成することができる。

【0311】(具体的実施例4) 具体的な実施例4として、トップゲート型単結晶シリコンCMOSTFT製法の実施例を示す。まず、基板10の少なくともTFT形成領域に適当な形状、寸法の段差を形成し、バイアス触媒CVD法により半導体膜とゲート絶縁膜を連続成膜させて、段差をシードにグラフォエピタキシャル成長させ

る。このように、少なくとも、ポリシリコン膜とゲート絶縁膜用の酸化シリコン膜とを成膜するときには、キャリアガスとしての水素ガスを供給し、また、熱触媒体5を加熱して熱分解および触媒作用が可能な状態にしておき、連続成膜するものとする。基板10の材質および大きさは、上記具体的実施例1と同様の基準により選択される。

【0312】次に、第1工程～第12工程からなるトップゲート型単結晶シリコンCMOSTFTの作製工程について説明する。まず、第1工程で、図31に示すように、基板10の一面に、フォトレジスト1を所定パターンに形成し、これをマスクとして、例えば、四フッ化炭素(CF₄)プラズマのF⁺イオンを照射し、リアクティブイオンエッチング(RIE)によって、基板10に段差10aを複数個形成する。

【0313】この場合、段差10aは、後述する単結晶シリコンのグラフォエビタキシャル成長時のシードとなるものであって、例えば、深さD0.05～0.2μm、長さL5.0～10.0μm、幅W2.0～10.0μmに形成される。

【0314】次いで、第2工程で、フォトレジスト1の除去後に、上記具体的実施例1と同様の手順により、保護膜用の窒化シリコン膜50～100(nm)厚と保護膜用の酸化シリコン膜50～100(nm)厚を成膜する。なお、基板10上に保護膜用の窒化シリコン膜、酸化シリコン膜を積層し、この膜に、段差10aを複数個形成するようにしてもよい。但し、基板からのNa⁺イオン等のコンタミネーションが防止できるように、段差の底には窒化シリコン膜が存在することが望ましい。

【0315】次いで、第3工程で、図32に示すように、バイアス触媒CVDにより、基板10上に単結晶シリコン膜を形成する。このとき、成膜装置1内に、キャリアガスとしての水素ガス50～100SCCMを導入する。また、原料ガスとしてのモノシラン1～20SCCMおよびSnH₄1～20SCCMとを導入し、バイアス触媒CVD法によって、基板10上に単結晶シリコン膜を形成する。このときに、段差10aをシードにグラフォエビタキシャル成長させて、単結晶シリコン膜22を数μm～0.005μm(例えば50～100(nm))厚に、エビタキシャル成長させる。

【0316】なお、必要に応じて、原料ガスのシラン系ガス(モノシラン又はジシラン又はトリシラン等)に、N型のリン又はヒ素又はアンチモン等を適量混入したり、又はP型のボロンを適量混入することで、任意のN又はP型不純物キャリア濃度の単結晶シリコン膜を形成することができる。N型化の場合は、例えば、フォスフィン、アルシン、スチピンが採用され、P型化の場合は、例えば、ジボランが採用される。

【0317】基板10上に堆積した単結晶シリコン膜22は、エビタキシャル成長したものであるが、これは、

グラフォエビタキシーと称される公知の現象によるものである。この単結晶シリコン膜の膜質および成膜速度は、熱触媒体温度、基板温度、さらに熱触媒体の触媒作用による活性化水素イオンH^{*}の段差表面のクリーニング等により決定される。そして、上記段差10aの形状を種々に変えることによって、成長層の結晶方位を制御することができる。このとき、成膜装置1内での原料ガスの割合を高めるために、マスフローコントローラーMを制御して、水素ガスの供給を成膜の途中で低減させ、単結晶シリコン膜を高速で成膜するように構成してもよい。

【0318】単結晶シリコン膜22が形成されたら、図33に示すように、第5工程として、上記具体的実施例1の第5工程と同様の手順によりゲート絶縁膜用の酸化シリコン膜23、または必要に応じて酸化シリコン膜23及び窒化シリコン膜を成膜する。

【0319】こうして、バイアス触媒CVD法とグラフォエビタキシーによって、基板10上に単結晶シリコン膜22を堆積させる。次いで、単結晶シリコン膜を少なくともチャンネル領域とするMOSTFTの作製を行う。

【0320】第6工程として、図34に示すように、NチャンネルMOSTFT用のチャンネル領域の不純物濃度を制御するために、PチャンネルMOSTFTをフォトレジスト2でマスクし、P型不純物イオン(例えば、二フッ化ホウ素イオンBF₂⁺)を、例えば、20～30keVで5×10¹²atoms/cm²のドーズ量でイオン注入し、単結晶シリコン膜の導電型をP型化したシリコン層11とする。

【0321】次いで、第7工程として、図35に示すように、PチャンネルMOSTFT用のチャンネル領域の不純物濃度を制御するために、今度は、NチャンネルMOSTFTをフォトレジスト3でマスクし、N型不純物イオン(例えば、リンイオンP⁺)を、例えば、40～50keVで5×10¹²atoms/cm²のドーズ量でイオン注入し、単結晶シリコン膜のN型化したシリコン層12とする。

【0322】次いで、第8工程では、図36に示すように、ゲート電極材料としてのモリブデン/タンタル合金膜24を、例えば、スパッタ法によって400(nm)厚に堆積させる。

【0323】次いで、第9工程では、図37に示すように、フォトレジスト4を所定パターンに形成し、これをマスクにして、モリブデン/タンタル合金膜24をゲート電極25の形状にパターンニングし、フォトレジスト4を除去する。

【0324】次いで、第10工程では、図38に示すように、PチャンネルMOSTFT及びゲート電極25をフォトレジスト5でマスクし、N型不純物である、例えば、As⁺イオンを、例えば、60～70keVで1

$\times 10^{15}$ atoms/cm² のドーザ量でイオン注入しフォトレジスト除去後に、N₂ 中約1000℃で20秒～30秒間のRTA (Rapid Thermal Anneal) で活性化し、NチャンネルMOSTFTのN⁺型ソース領域S1及びドレイン領域D1をそれぞれ形成する。

【0325】次いで、第11工程では、図39に示すように、NチャンネルMOSTFT及びゲート電極25をフォトレジスト6でマスクし、P型不純物である、例えば、B⁺イオンを、例えば、30keVで 1×10^{15} atoms/cm² のドーザ量でイオン注入しフォトレジスト除去後に、N₂ 中約1000℃で20秒～30秒間のRTA (Rapid Thermal Anneal) で活性化し、PチャンネルMOSTFTのP⁺型ソース領域S2及びドレイン領域D2をそれぞれ形成する。なお、このRTA処理はNチャンネルMOSTFTの活性化を一緒にしてもよい。

【0326】次いで、第12工程では、図40に示すように、全面にバイアス触媒CVD等によって、酸化シリコン膜27を、例えば50～100 (nm) 厚、リンシリケートガラス (PSG) 膜28を、例えば200～300 (nm) 厚、窒化シリコン膜29を、例えば、150～200 (nm) 厚に成膜する。

【0327】次いで、第13工程では、図41に示すように、絶縁膜の所定位置にコンタクト窓開けを行い、各ホールを含む全面に、アルミニウムなどの電極材料をスパッタ法等によって150℃で1μmの厚みに堆積し、これをパターニングして、PチャンネルMOSTFT及びNチャンネルMOSTFTの、それぞれのソース又はドレイン電極S又はDとゲート取出し電極又は配線Gを形成する。

【0328】次いで、上記具体的実施例1の第14工程及び第15工程と同様の手順により、水蒸気アニール工程及びブラズマクリーニング工程（またはスパッタクリーニング工程）を行う。その後、フォーミングガス（N₂ + H₂）中400℃で1時間シンター処理してオーミックコンタクトと表面準位を改善し、各MOSTFTを完成する。

【0329】本例では、基板の少なくとも半導体装置形成領域に段差を形成し、この段差をシードに単結晶シリコン膜をグラフォエビタキシャル成長させているので、高い電子／正孔移動度を有し、動作性に優れた単結晶シリコン膜を得ることができる。さらに、水蒸気アニール処理により、絶縁膜が改質され、ゲート絶縁膜と単結晶シリコン膜との界面準位が改善されるので、更に動作特性に優れた半導体装置を得ることができる。なお、当然であるが、単結晶シリコン膜を成膜する場合には、レーザーアニール処理は行わない。レーザーアニール処理を行うと、単結晶シリコンがポリシリコン膜化し、特性悪化するからである。

【0330】（具体的実施例5）具体的な実施例5として、ボトムゲート型単結晶シリコンCMOSTFT製法の実施例を示す。基板10の材質、大きさは、上記具体的実施例1と同様の基準により選択される。

【0331】上記ボトムゲート型単結晶シリコンCMOSTFTの作製工程について説明する。まず、基板10の少なくともTFT領域に、モリブデン／タンタル合金のスパッタ膜300～400 (nm) 厚を形成する。そして、汎用フォトリソグラフィ及びエッチング技術により、20～45度のテーバーエッチングを施し、ボトムゲート電極を形成する。

【0332】次いで、上記具体的実施例1の第1工程乃至第3工程と同様の手順により、保護膜用、ボトムゲート絶縁膜用の窒化シリコン膜50～100 (nm) 厚および酸化シリコン膜50～100 (nm) 厚を形成する。なお、このとき、窒化シリコン膜および酸化シリコン膜の代わりに、酸窒化シリコン膜を形成してもよい。

【0333】次いで、基板10の一主面に、フォトレジストを所定パターンに形成し、これをマスクとして、例えば、CF₄プラズマのF⁺イオンを照射し、リアクティブイオンエッチング (RIE) によって、基板10のTFT形成領域内に、段差を複数個形成する。この場合、段差は、後述する単結晶シリコンのグラフォエビタキシャル成長時のシードとなるものであって、深さD0.05～0.2 μm、長さL2～10 μm、幅W2～10 μmであってよい。

【0334】フォトレジストの除去後に、上記具体的実施例4と同様の手順により、基板10上の段差をシードとして単結晶シリコン膜数μm～0.005 μm（例えば50～100 (nm)）厚を成膜する。

【0335】単結晶シリコン膜が形成されたら、上記具体的実施例1の第5工程と同様の手順により保護膜用の酸化シリコン膜を成膜する。こうして、バイアス触媒CVD法とグラフォエビタキシーによって、基板10上の段差をシードとして単結晶シリコン膜を堆積させる。次いで、前記具体的実施例2と同様の方法で、単結晶シリコン膜を少なくともチャンネル領域とするMOSTFTの作製を行う。

【0336】上記具体的実施例1の第14工程及び第15工程と同様の手順により、水蒸気アニール工程及びブラズマクリーニング工程（またはスパッタクリーニング工程）を行う。その後、フォーミングガス（N₂ + H₂）中400℃で1時間シンター処理してオーミックコンタクトと表面準位を改善し、各MOSTFTを完成する。

【0337】（具体的実施例6）具体的な実施例6として、デュアルゲート型単結晶シリコンCMOSTFT製法の実施例について説明する。基板10の材質、大きさは、上記具体的実施例1と同様の基準により選択される。

【0338】上記デュアルゲート型単結晶シリコンCMOSTFTの作製工程について説明する。基板10の少なくともTFT領域に、モリブデン／タンタル合金のスパッタ膜を300～400 (nm) 厚形成する。そして、汎用フォトリソグラフィ及びエッチング技術により、20～45度のテーパエッチングを施し、ボトムゲート電極を形成する。

【0339】次いで、上記具体的実施例1の第1工程乃至第3工程と同様の手順により、保護膜用、ボトムゲート絶縁膜用の窒化シリコン膜50～100 (nm) 厚および酸化シリコン膜50～100 (nm) 厚を形成する。なお、このとき、窒化シリコン膜および酸化シリコン膜の代わりに、酸窒化シリコン膜を形成してもよい。

【0340】次いで、基板10の一主面に、フォトレジストを所定パターンに形成し、これをマスクとして、例えば、CF₄プラズマのF⁺イオンを照射し、リアクティブイオンエッチング(RIE)によって、基板10のTFT形成領域内に、段差を複数個形成する。この場合、段差は、後述する単結晶シリコンのグラフォエビタキシャル成長時のシードとなるものであって、深さD 20 0.05～0.2 μm、長さL2～10 μm、幅W2～10 μmであってよい。

【0341】次いで、上記具体的実施例4と同様の手順により、基板10上の段差をシードとして単結晶シリコン膜を数μm～0.005 μm (例えば50～100 (nm)) 厚に、グラフォエビタキシャル成長させる。こうして、バイアス触媒CVD法とグラフォエビタキシーによって、基板10上の段差をシードとして単結晶シリコン膜を堆積させる。

【0342】次いで、上記具体的実施例3と同様な方法で、単結晶シリコン膜を少なくともチャンネル領域とするMOSTFTの作製を行う。単結晶シリコン膜が形成されたら、上記具体的実施例1の第5工程と同様の手順により、トップゲート絶縁膜用の酸化シリコン膜、または必要に応じて酸化シリコン膜と窒化シリコン膜を成膜する。なお、このとき、窒化シリコン膜および酸化シリコン膜の代わりに、酸窒化シリコン膜を形成してもよい。

【0343】次に、上記トップゲート絶縁膜用の酸化シリコン膜或いは窒化シリコン膜のソース、ドレイン領域 40 を窓あけて、モリブデン／タンタル合金のスパッタ膜を全面に形成し、汎用フォトリソグラフィ及びエッチング技術によりソース、ドレインおよびトップゲート電極を形成する。

【0344】なお、本例では、トップゲート、ソース電極およびドレイン電極形成後に、前記具体的実施例1と同様な方法で、水蒸気アニール工程及びブラズマクリーニング工程 (またはスパッタクリーニング工程) を行う。その後、フォーミングガス (N₂ + H₂) 中400 °Cで1時間シンター処理してオーミックコンタクトと表 50

面準位を改善し、各MOSTFTを完成する。

【0345】(具体的実施例7) 具体的な実施例7として、単結晶シリコン膜をヘテロエビタキシャル成長により形成して得た、トップゲート型単結晶シリコンCMOSTFT製法の実施例を示す。まず、基板10の少なくともTFT形成領域に、バイアス触媒CVD法等によりキャリアガスとしての水素ガスを供給し、また熱触媒体を加熱して熱分解および触媒作用が可能な状態にしておき、単結晶半導体 (単結晶シリコン) と格子整合の良い物質層 (結晶性サファイア膜等) を形成し、前記格子整合の良い物質をシードにヘテロエビタキシャル成長させる。基板10の材質および大きさは、上記具体的実施例1と同様の基準により選択される。

【0346】上記、第1工程～第13工程からなるトップゲート型単結晶シリコンCMOSTFTの作製工程について、さらに詳細に説明する。まず、第1工程、第2工程で、上記具体的実施例の第1工程、第2工程と同様の手順により、保護膜用の窒化シリコン膜50～200 (nm) 厚を形成する。

【0347】次いで、第3工程で、単結晶半導体 (単結晶シリコン) と格子整合の良い物質層 (結晶性サファイア膜等) を形成する。すなわち、図42に示すように、基板10の一主面に、バイアス触媒CVD法等により、結晶性サファイア薄膜50を5～200 (nm) 厚形成する。結晶性サファイア薄膜50は、トリメチルアルミニウムガスを酸化性ガス (酸素・水分) で酸化し、結晶化させて作製する。

【0348】次いで、第4工程で、単結晶シリコン膜22を形成する。第2工程で、水素ガスを低減または停止させた場合は、成膜装置1内に、キャリアガスとしての水素ガス50～100 SCCMを導入する。また、原料ガスとしてのモノシラン1～20 SCCMを導入し、バイアス触媒CVD法によって、基板10上に単結晶シリコン膜を成膜する。このときに、図43に示すように、結晶性サファイア薄膜50上に、全面に単結晶シリコン膜22を、0.005 μm～数μm (例えば、50～100 (nm)) 厚に、エビタキシャル成長させる。

【0349】このようにして、シリコンは、結晶性サファイア薄膜50をシード (種) としてヘテロエビタキシャル成長し、例えば、50～100 (nm) 厚程度の単結晶シリコン膜22として析出する。この場合、サファイアは、単結晶シリコンと格子定数が殆ど同じであるので、シリコンは、結晶性サファイア薄膜50上にヘテロエビタキシャル成長する。

【0350】なお、必要に応じて、原料ガスのシラン系ガス (モノシラン又はジシラン又はトリシラン等) に、N型のリン又はヒ素又はアンチモン等を適量混入したり、又はP型のボロンを適量混入することで、任意のN又はP型不純物キャリア濃度の単結晶シリコン膜を形成することができる。N型化の場合は、例えば、フォスフ

イン、アルシン、スチピンが採用され、P型化の場合には、例えば、ジボランが採用される。

【0351】このとき、成膜装置1内の原料ガスの割合を高めるために、マスフローコントローラーMを制御して、水素ガスの供給を成膜の途中で低減させ、単結晶シリコン膜を高速で成膜するように構成してもよい。

【0352】その後、図44に示すように、第5工程として、上記具体的実施例1の第5工程と同様の手順により、ゲート絶縁膜用の酸化シリコン膜23を成膜する。

このとき、単結晶シリコン膜とゲート絶縁膜用酸化シリコン膜は連続成膜とする。また、これらの膜を形成した後、必要に応じて窒化シリコン膜を形成してもよい。また、酸化シリコン膜と窒化シリコン膜を形成する代わりに、酸窒化シリコン膜を形成してもよい。薄膜形成後は、原料ガスをカットし、熱触媒体を問題ない温度まで冷却して、キャリアガスの導入を停止する。

【0353】こうして、バイアス触媒CVD法とヘテロエピタキシーによって、基板10上に単結晶シリコン膜22を堆積させる。次いで、単結晶シリコン膜をチャンネル領域とするMOSTFTの作製を行う。

【0354】第6工程として、図45に示すように、NチャンネルMOSTFT用のチャンネル領域の不純物濃度を制御するために、PチャンネルMOSTFTをフォトレジスト r_1 でマスクし、P型不純物イオン（例えば、二フッ化ホウ素イオン BF_2^+ ）を、例えば、20~30keVで $5 \times 10^{12} \text{ atoms/cm}^2$ のドーズ量でイオン注入し、単結晶シリコン膜の導電型をP型化したシリコン層11とする。

【0355】次いで、第7工程として、図46に示すように、PチャンネルMOSTFT用のチャンネル領域の不純物濃度を制御するために、今度は、NチャンネルMOSTFTをフォトレジスト r_2 でマスクし、N型不純物イオン（例えば、リンイオン P^+ ）を、例えば、40~50keVで $5 \times 10^{12} \text{ atoms/cm}^2$ のドーズ量でイオン注入し、単結晶シリコン膜のN型化したシリコン層12とする。

【0356】次いで、第8工程では、図47に示すように、ゲート電極材料としてのモリブデン/タンタル合金膜24を、例えば、スパッタ法によって厚さ400(nm)厚に堆積させる。

【0357】次いで、第9工程では、図48に示すように、フォトレジスト r_3 を所定パターンに形成し、これをマスクにして、モリブデン/タンタル合金膜24をゲート電極25の形状にパターニングし、フォトレジスト r_3 の除去する。

【0358】次いで、第10工程では、図49に示すように、PチャンネルMOSTFT及びゲート電極25をフォトレジスト r_4 でマスクし、N型不純物である、例えば、 As^+ イオンを、例えば、60~70keVで $1 \times 10^{15} \text{ atoms/cm}^2$ のドーズ量でイオン注入

しフォトレジスト除去後に、 N_2 中約1000℃で20秒~30秒間のRTA(Rapid Thermal Anneal)で活性化し、NチャンネルMOSTFTの N^+ 型ソース領域S1及びドレイン領域D1をそれぞれ形成する。

【0359】次いで、第11工程では、図50に示すように、NチャンネルMOSTFT及びゲート電極25をフォトレジスト r_5 でマスクし、P型不純物である、例えば、 B^+ イオンを、例えば、20~30keVで $1 \times 10^{15} \text{ atoms/cm}^2$ のドーズ量でイオン注入しフォトレジスト除去後に、 N_2 中約1000℃で20秒~30秒間のRTA(Rapid Thermal Anneal)で活性化し、PチャンネルMOSTFTの P^+ 型ソース領域S2及びドレイン領域D2をそれぞれ形成する。なお、このRTA処理はNチャンネルMOSTFTの活性化を一緒にしてもよい。

【0360】次いで、第12工程では、図51に示すように、全面にバイアス触媒CVD等によって、酸化シリコン膜27を、例えば50~100(nm)厚、リンシリケートガラス(PSG)膜28を、例えば200~300(nm)厚、窒化シリコン膜29を、例えば、150~200(nm)厚に成膜する。

【0361】次いで、第13工程では、図51に示すように、絶縁膜の所定位置にコンタクト窓開けを行い、各ホールを含む全面に、アルミニウムなどの電極材料をスパッタ法等によって150℃で1μmの厚みに堆積し、これをパターニングして、図52に示すように、PチャンネルMOSTFT及びNチャンネルMOSTFTの、それぞれのソース又はドレイン電極S又はDとゲート取出し電極又は配線Gを形成する。

【0362】次いで、第14工程では、上記具体的実施例1の第14工程及び第15工程と同様の手順により、水蒸気アニール工程及びプラズマクリーニング工程（またはスパッタクリーニング工程）を行う。その後、フォーミングガス($N_2 + H_2$)中400℃で1時間シンター処理してオーミックコンタクトと表面準位を改善し、各MOSTFTを完成する。

【0363】本例では、基板の少なくとも半導体装置形成領域には単結晶半導体、例えば単結晶シリコンと格子整合の良い物質層を形成し、この格子整合の良い物質をシードに単結晶シリコン膜をヘテロエピタキシャル成長させているので、高い電子/正孔移動度を有し、動作性に優れた単結晶シリコン膜を得ることができる。

【0364】（具体的実施例8）具体的実施例8として、単結晶半導体膜をヘテロエピタキシャル成長により形成して得た、ボトムゲート型単結晶シリコンCMOSTFT製法の実施例を示す。基板10の材質および大きさは、上記具体的実施例1と同様の基準により選択される。まず、基板10の少なくともTFT形成領域に、モリブデン/タンタル合金のスパッタ膜300~400

(nm)厚を形成し、ボトムゲート電極を形成する。ボトムゲート電極には、汎用フォトリソグラフィ及びエッチング技術により、20〜45度のテーバーエッチングを施す。次に、上記具体的実施例1の第1工程〜第3工程と同様の手順により、保護膜用、ボトムゲート絶縁膜用の窒化シリコン膜50〜100(nm)厚、酸化シリコン膜50〜100(nm)厚を形成する。この窒化シリコン膜、酸化シリコン膜の代わりに、酸窒化シリコン膜50〜200(nm)厚としてもよい。

【0365】次いで、上記具体的実施例7と同様の手順により、結晶性サファイア薄膜5〜200(nm)厚を形成する。次いで、上記具体的実施例7と同様の手順により、単結晶シリコン膜0.005 μ m〜数 μ m(例えば、50〜100(nm))厚をヘテロエピタキシャル成長させる。

【0366】このようにして、シリコンは、結晶性サファイア薄膜をシード(種)としてヘテロエピタキシャル成長し、厚さ、例えば、50〜100(nm)厚程度の単結晶シリコン膜として析出する。なお、この結晶性サファイア膜は、シリコンのヘテロエピタキシャル成長のシードであり、かつボトムゲート絶縁膜としての役割も果たす。

【0367】その後、上記具体的実施例1の第5工程と同様の手順により、保護膜用の酸化シリコン膜を成膜する。成膜後は、原料ガスをカットし、熱触媒体を問題ない温度まで冷却して、キャリアガスの導入を停止する。

【0368】こうして、バイアス触媒CVD法とヘテロエピタキシャルによって、基板10上に単結晶シリコン膜を堆積させる。次いで、前記具体的実施例7と同様の方法で、単結晶シリコン膜を少なくともチャンネル領域とするMOSTFETの作製を行う。なお、本例では、ソース電極およびドレイン電極形成後に、前記具体的実施例1と同様の方法で、水蒸気アニール処理を行う。

【0369】(具体的実施例9) 具体的な実施例9として、単結晶シリコン膜をヘテロエピタキシャル成長により形成して得た、デュアルゲート型単結晶シリコンCMOSTFET製法の実施例について説明する。基板10の材質および大きさは、上記具体的実施例1と同様の基準により選択される。デュアルゲート型単結晶シリコンCMOSTFETは、以下の工程で作製される。まず、基板10の少なくともTFT領域に、モリブデン/タンタル合金のスパッタ膜を300〜400(nm)厚形成する。そして、汎用フォトリソグラフィ及びエッチング技術により、20〜45度のテーバーエッチングを施し、ボトムゲート電極を形成する。

【0370】次いで、上記具体的実施例1の第1工程〜第3工程と同様の手順により、保護膜用、ボトムゲート絶縁膜用の窒化シリコン膜50〜100(nm)厚、酸化シリコン膜50〜100(nm)厚を形成する。なお、これらの窒化シリコン膜、酸化シリコン膜を形成す

る代わりに、酸窒化シリコン膜50〜200(nm)厚を形成してもよい。

【0371】次いで、上記具体的実施例7と同様の手順により、結晶性サファイア薄膜5〜200(nm)厚を形成する。次いで、上記具体的実施例7と同様の手順により、単結晶シリコン膜0.005 μ m〜数 μ m(例えば、50〜100(nm))厚をヘテロエピタキシャル成長させる。

【0372】このようにして、シリコンは、結晶性サファイア薄膜をシード(種)としてヘテロエピタキシャル成長し、厚さ、例えば、50〜100(nm)厚程度の単結晶シリコン膜として析出する。こうして、バイアス触媒CVD法とヘテロエピタキシャルによって、基板10上に単結晶シリコン膜を堆積させる。その後、単結晶シリコン膜を少なくともチャンネル領域とするMOSTFETの作製を行う。

【0373】その後、上記具体的実施例1の第5工程と同様の手順により、トップゲート絶縁膜用の酸化シリコン膜50〜100(nm)厚を成膜する。また、必要に応じて窒化シリコン膜50〜100(nm)厚を成膜する。なお、これらの酸化シリコン膜、窒化シリコン膜の代わりに、酸窒化シリコン膜50〜200(nm)厚を形成してもよい。また、成膜後は、原料ガスをカットし、熱触媒体5を問題ない温度まで冷却して、キャリアガスの導入を停止する。なお、この結晶性サファイア薄膜は、シリコンのヘテロエピタキシャル成長のシードであり、かつボトムゲート絶縁膜としての役割も果たす。

【0374】次に、上記トップゲート絶縁膜用の酸化シリコン膜のソース、ドレイン領域を窓明けして、モリブデン/タンタル合金のスパッタ膜を全面に形成して、汎用フォトリソグラフィ及びエッチング技術によりソース、ドレインおよびトップゲート電極を形成する。

【0375】なお、本例では、トップゲート電極、ソース電極およびドレイン電極形成後に、前記具体的実施例1と同様の方法で、水蒸気アニール処理、電極のブラズマクリーニングまたはスパッタクリーニングを行う。

【0376】

【発明の効果】本発明は、バイアス触媒CVDまたは高密度バイアス触媒CVDを利用して、基板と電極との間にグロー放電開始電圧以下の電界を印加して、前記基板上に半導体膜を形成することを含む半導体膜形成工程を行うことにより、下記に示す効果を奏する。すなわち、バイアス触媒CVDまたは高密度バイアス触媒CVDを利用して、基板と電極との間にグロー放電開始電圧以下の電界を印加して、前記基板上に半導体膜を形成することにより、反応ガスを加熱された触媒体に接触させ、これによって生成した反応種(高いエネルギーを持つラジカルな堆積種又はその前駆体及びラジカルイオン)にグロー放電開始電圧以下のDC、又はAC/DC、又はRF/DC等の電界を作用させて指向性の運動エネルギー

を与え、基板上に所定の膜を気相成長させているので、次に示すような顕著な作用効果が得られる。

【0377】(1) 熱触媒体によって生成した反応種(高いエネルギーを持つラジカルな堆積種又はその前駆体及びラジカルイオン)が、電界の作用により指向性の運動エネルギーを受け、基板上に効率良く導かれると共に、基板上での泳動及び生成過程の膜中での拡散が十分となる。従って、従来の触媒体CVD法に比べて、上記反応種の運動エネルギーを電界により独立してコントロールできるため、生成膜の基板との密着性向上、生成膜密度の向上、生成膜均一性又は平滑正の向上、ヒアホールなどへの埋め込み性とステップカバレッジの向上を図ることができる。さらに、基板温度の低温化、生成膜のストレスコントロール等が可能となり、高品質膜が実現する。

(2) 触媒体で生成された反応種(イオン、ラジカル等)を電界で独立してコントロールし、効率良く基板上に堆積できるので、反応ガスの利用効率が高く、生成速度を早め、生産性向上と反応ガス削減によるコストダウンを図ることができる。

(3) プラズマCVD法に比べ、はるかにシンプルで安価な装置が実現する。

(4) 常圧タイプでも上記の電界を加えるので、密度、均一性、密着性のよい高品質膜が得られる。

(5) 反応種の運動エネルギーが大きく、低温の基板によっても目的とする良質の膜が得られることから、基板温度を低温化できるため、大型で安価な絶縁基板(ほうけい酸ガラス、アルミノけい酸ガラス等のガラス基板、ポリイミド等の耐熱性樹脂基板等)を使用でき、この点でもコストダウンが可能となる。

【0378】また、本発明をバイアス触媒CVDにより行う場合には、プラズマの発生がないので、プラズマによるダメージがなく、低ストレスの生成膜が得られる。本発明を高密度バイアス触媒CVDにより行う場合には、プラズマの影響が基板におよびにくく、プラズマによるダメージが低減され、低ストレスの生成膜が得られる。

【0379】また、本発明では、半導体膜をレーザーでアニール処理するように構成しているので、半導体膜の極表面のみが瞬時に熱せられ、基板への熱の影響が及びにくくなり、基板の変形を起こすことなく、アモルファスシリコンまたは微結晶シリコン薄膜を結晶化でき、又不純物の活性化もでき、例えば移動度の大きい薄膜に変えることができる。しかも、この結晶化、活性化は基板全体を高温にすることなく、低温で行うことができる。また、薄膜半導体装置の性能を向上し、かつ製造を容易にするものである。

【0380】また、本発明によれば、水蒸気を含む低圧高温または高圧高温雰囲気内におけるアニールを行うため、400℃以下の低温の加熱処理であっても効果的

に、半導体と絶縁膜との界面準位の改善と、絶縁膜の改質をはかることができる。

【0381】また、絶縁膜の改質、すなわち絶縁膜中の水およびOH基を低減することによって、ゲート絶縁膜または半導体膜の、ホットエレクトロン劣化を抑制する効果を得ることができる。

【0382】更に、ゲート絶縁膜中の欠陥や不純物に起因する静電荷を中性化し、負に寄ったフラットバンド電圧を0V側に近づけることができることから、nチャネルMISトランジスタにおけるディプリーション型への移行を回避してエンハンスメント型とし、pチャネルMISトランジスタにおいてはしきい値電圧 V_{th} の増大化を回避して確実な動作を行わしめることができるので、両導電型チャネルのMISトランジスタによるCMOS等の集積回路化を容易に行うことができる。

【0383】また、同一半導体基板における素子特性のばらつきを小さくすることができ、回路の集積化が容易となる。また、半導体膜と絶縁膜の界面特性の向上、すなわちスレッシュホールド値を下げ、オン電流を増大させ、オフ電流を低下させ、しきい値電圧 V_{th} を低下させる効果を奏することができるものであり、集積回路の高速動作化が実現できるものである。

【0384】また、電極形成後の水蒸気アニール処理後に、少なくとも電極表面をスパッタクリーニング又はプラズマクリーニングしてその酸化膜及び水酸化膜を除去するので、外部取り出し(金線ボンディング、無電解Ni/Auメッキ+半田バンプ)の電気/機械的コンタクトが改善され、特性、品質及び信頼性が向上する。

【0385】また、本発明によれば、コントロールファクターとしての電界の種類及び強さ、触媒体の種類及び温度、基板加熱温度、気相成膜条件、原料ガスの種類、添加するN又はP型不純物濃度等を変更することにより、広範囲のN又はP型不純物濃度の半導体膜が効率よく容易に得られるので、高移動度で V_{th} 調整が容易で、低抵抗での高速動作が可能である。また、基板温度の更なる低温化が実現し、安価で大型化が容易な低歪点ガラスや耐熱性樹脂基板等を採用でき、コストダウンが出来る。

【0386】また、本発明では、バイアス触媒CVDまたは高密度バイアス触媒CVDを用いて基板に薄膜を形成するときに、活性化水素イオン H^* を常時発生させると共に電解を印加して、基板表面が常に効率よくクリーニングされるように構成されているので、ゲート絶縁膜の酸化シリコン膜とポリシリコン膜の界面にアモルファスシリコンの遷移層が形成されず、高品質な薄膜層を形成することが可能となる。また、成膜後、レーザーアニール処理後、水蒸気アニール処理後における少なくともキャリアチャンネル領域、例えばゲート絶縁膜との界面付近のポリシリコン膜中の酸素、炭素、窒素のそれぞれの濃度を、例えば 1×10^{19} atoms/cm³以

下、好ましくは 5×10^{18} atoms/cm³以下に低減でき、水素の濃度を0.01原子%/cm³以上とできるので、高移動度、高品質のポリシリコン膜を形成することが可能となる。

【0387】また、成膜する前に活性化水素イオンH^{*}で基板表面を常時クリーニングして、表面改質処理するので、基板表面の水や酸素等の分子付着が除去されて界面準位が低減し、それぞれの膜間のストレスが低く、高品質の成膜（窒化シリコン膜、酸化シリコン膜、ポリシリコン膜等）とすることが可能となる。特にゲート絶縁膜とシリコン膜を連続的に成膜する際に、活性化水素イオンH^{*}にさらす処理を有すると、水素アニール効果により、界面単位密度の低い半導体-絶縁体接合構造の高品質半導体装置を製造することが可能となる。

【0388】このために、トップゲート型のみならず、ボトムゲート型、デュアルゲート型TFTでも、高い電子/正孔移動度のポリシリコン膜又は単結晶シリコン膜が得られる。したがって、この高性能のポリシリコン膜又は単結晶シリコン膜を使用した半導体装置、電気光学装置等の製造が可能となる。

【0389】バイアス触媒CVD法等により連続成膜するときに、同一チャンバ内でそれぞれの成膜用原料ガスを徐々に減少させたり、増加させたりすることにより傾斜接合の膜にすることが可能であるので、それぞれの膜間のストレスが低減し、高品質の絶縁体-半導体接合の半導体装置等の製造が可能となる。

【0390】また、半導体膜と絶縁膜を真空容器中の異なるチャンバ内で成膜する場合は、コンタミ防止とそれぞれの膜間のストレス低減を図ることができ、高品質の半導体装置等の製造が可能となる。

【0391】さらに、本発明では、真空容器内の異なる室内で、半導体膜および絶縁膜形成とレーザーアニール処理と水蒸気アニール処理とを行うことにより、連続的に半導体膜および絶縁膜形成とレーザーアニール処理と水蒸気アニール処理とを行うことが可能となる。さらに、これにより、コンタミネーション防止と作業性向上を図ることができ、高性能、高品質で安価な半導体装置等の製造が可能となる。

【図面の簡単な説明】

【図1】本発明の薄膜形成方法に使用する装置の一例を示す説明図である。

【図2】図1の装置を用いてバイアス触媒CVDを行う場合の説明図である。

【図3】図1の装置を用いてバイアス触媒CVDを行う場合の説明図である。

【図4】本発明で使用するDCバイアス触媒CVD装置の要部の概略説明図である。

【図5】本発明で使用するRF/DCバイアス触媒CVD装置の要部の概略説明図である。

【図6】本発明で使用するAC/DCバイアス触媒CVD

D装置の要部の概略説明図である。

【図7】本発明のバイアス触媒CVDの電圧の印加方法を種々示す概略図である。

【図8】本発明のバイアス触媒CVDで用いる加速電極の概略図である。

【図9】本発明のバイアス触媒CVDで反応種に荷電粒子を照射する場合に用いる装置の概略図である。

【図10】チャンバへのガス導入形態を示すグラフ図である。

【図11】チャンバへのガス導入形態を示すグラフ図である。

【図12】チャンバへのガス導入形態を示すグラフ図である。

【図13】チャンバへのガス導入形態を示すグラフ図である。

【図14】チャンバへのガス導入形態を示すグラフ図である。

【図15】チャンバへのガス導入形態を示すグラフ図である。

【図16】ガスの供給方法の一例を示す説明図である。

【図17】チャンバ内への水蒸気の供給方法の一例を示す説明図である。

【図18】本発明の薄膜形成方法に使用する装置の他の例を示す説明図である。

【図19】本発明の薄膜形成方法に使用する装置の他の例を示す説明図である。

【図20】本発明の薄膜形成方法に使用する装置の他の例を示す説明図である。

【図21】本発明の薄膜形成方法に使用する装置の他の例を示す説明図である。

【図22】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。

【図23】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。

【図24】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。

【図25】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。

【図26】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。

【図27】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。

【図28】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。

【図29】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。

【図30】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。

【図31】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。

【図 32】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。

【図 33】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。

【図 34】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。

【図 35】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。

【図 36】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。

【図 37】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。

【図 38】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。

【図 39】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。

【図 40】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。

【図 41】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。

【図 42】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。

【図 43】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。

【図 44】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。

【図 45】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。

【図 46】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。

【図 47】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。

【図 48】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。

【図 49】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。

【図 50】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。

【図 51】本発明の薄膜形成方法に使用するスパッタリング装置の一例を示す説明図である。

【図 52】本発明の実施例における薄膜形成方法及び薄膜半導体の製造方法のプロセスを示す説明図である。

【符号の説明】

1 成膜装置

A, B, C チャンバ

1 a 排気系

2 サセブタ

2 a 上面

2 b ヒータ

2 c ヒータ電源

3 ガス導入系

3 a ガスシャワーヘッド

3 b シャワーヘッドホルダー

3 c 手動バルブ

3 d 自動バルブ

3 e 三方弁

5 熱触媒体

5 a 加熱手段

5 b 熱触媒体ホルダー

6 レール

8 a 反応ガス供給ボックス

8 b ベルト

10 基板

10 a 段差

11, 15, 21, 29 窒化シリコン膜

12, 14, 19, 23, 27 酸化シリコン膜

13, 13n, 13p ポリシリコン膜

16, 24 モリブデン／タンタル合金膜

17, 25 ゲート電極

20, 28 リンシリケートガラス (PSG) 膜

22 単結晶シリコン膜

30 直流電源

31 水蒸気アニールチャンバ

32 サセブタ

33 ガス供給系

34 圧力計

35 水の収容部

36 恒温槽

37 連結管

30 38 キャリアガス供給口

41 ロード・ロック室

42 セパレーション室

43 成膜室

44 レーザーアニール室

45 水蒸気アニール室

46 半導体膜成膜室

47 絶縁膜成膜室

50 サファイア薄膜

60 反応ガス

40 61 供給導管

67 シャッター

68 触媒体電源

69 DC電源

70 反応種

71 ヒーター線

72 磁気シール

73 前室

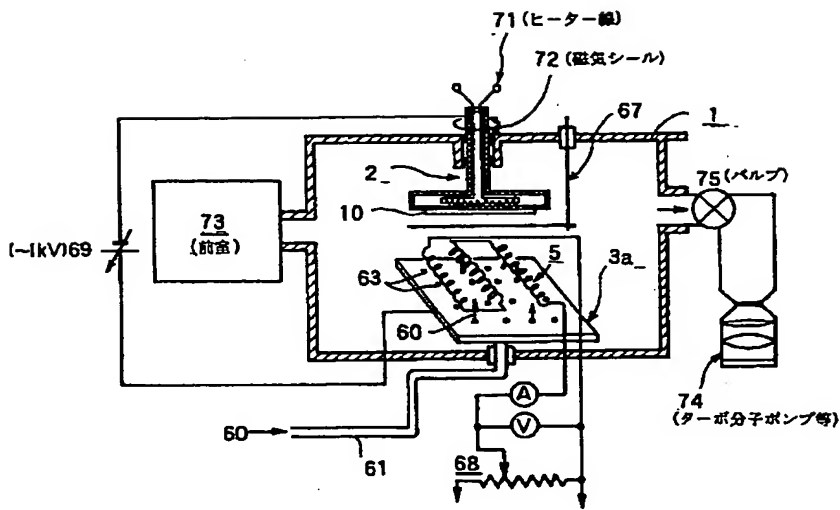
74 ターボ分子ポンプ室

75 バルブ

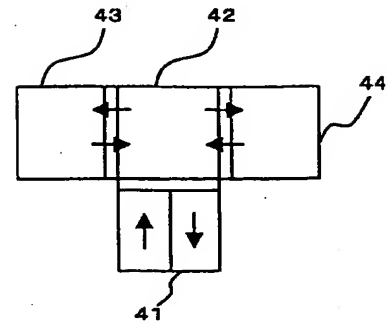
50 76 堆積種, 生成膜

*

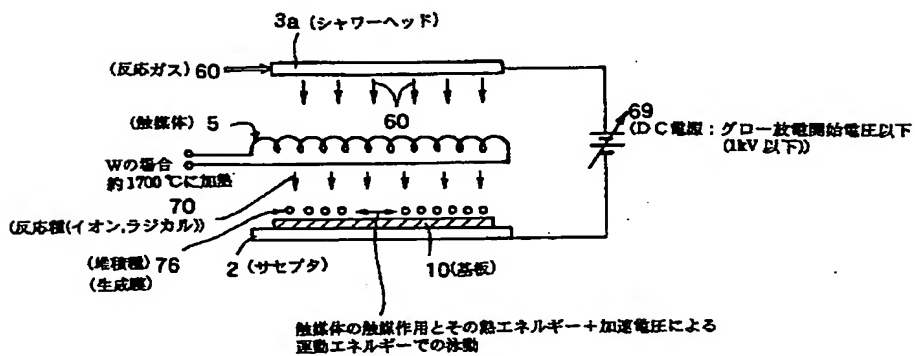
【図3】



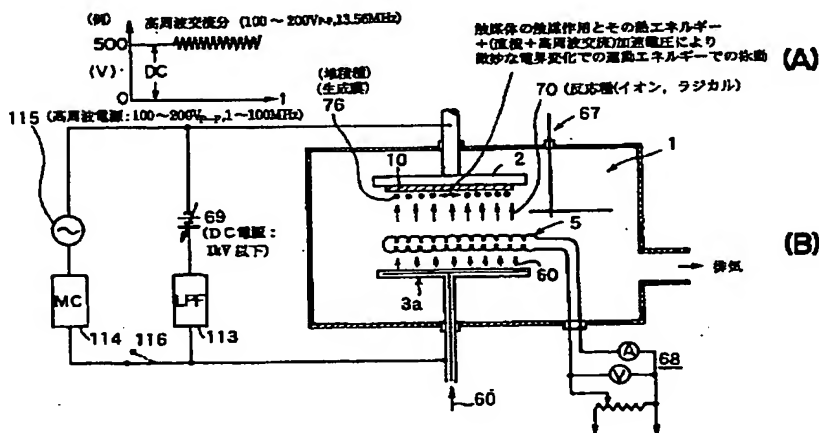
【図19】



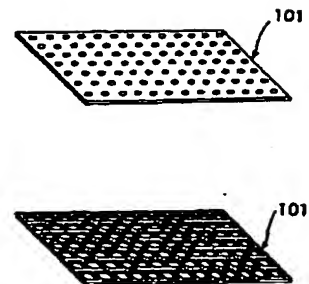
【図4】



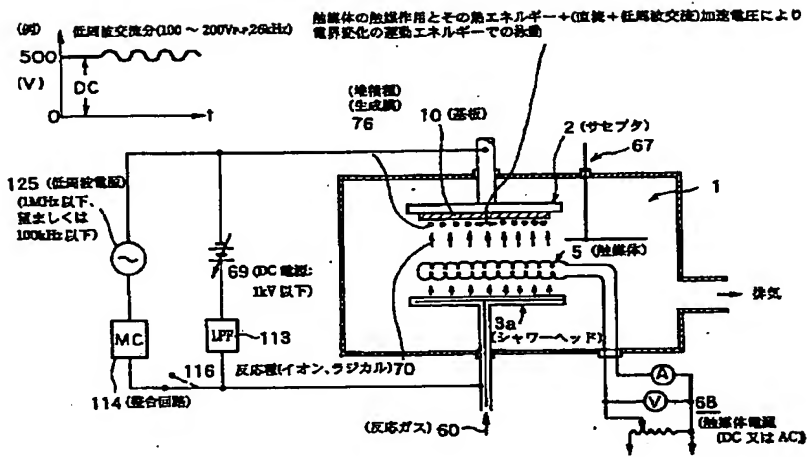
【図5】



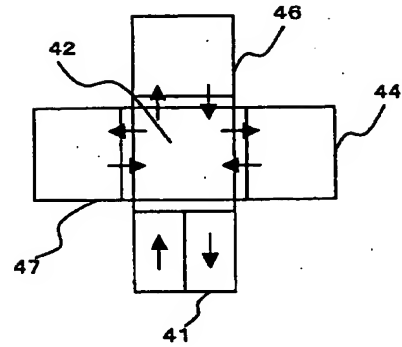
【図8】



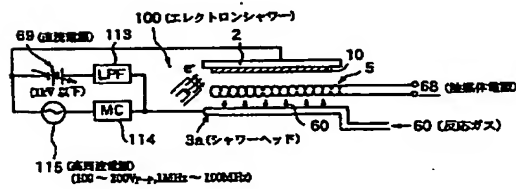
【図6】



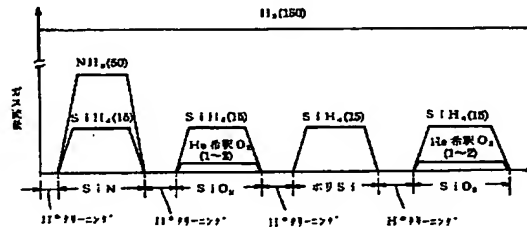
【図20】



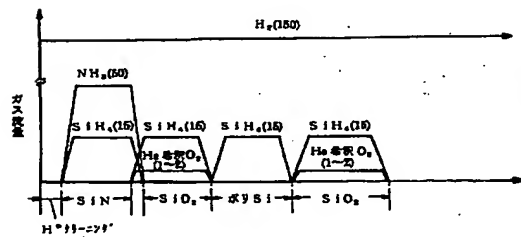
【図9】



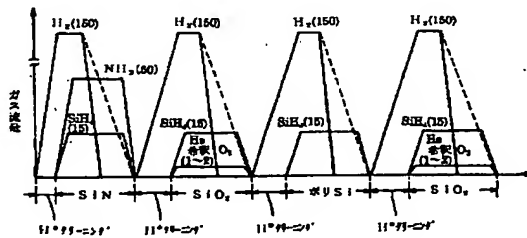
【図10】



【図12】

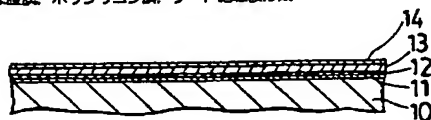


【図13】

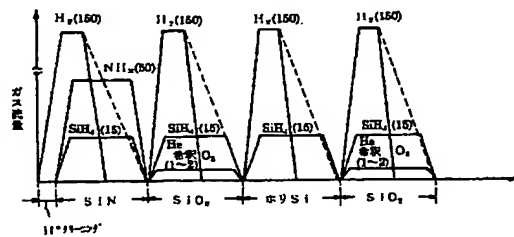


【図22】

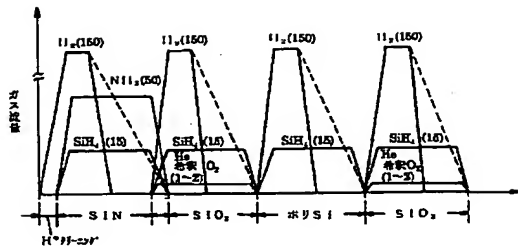
保護膜、ポリシリコン膜、ゲート絶縁膜形成



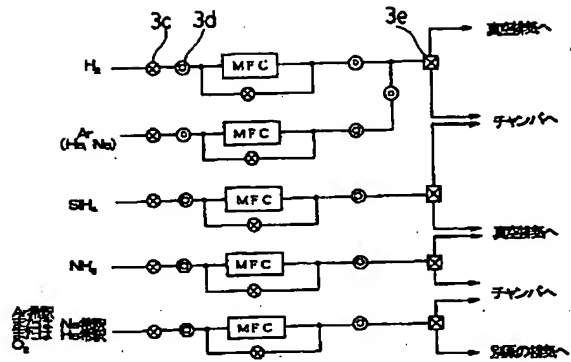
【図14】



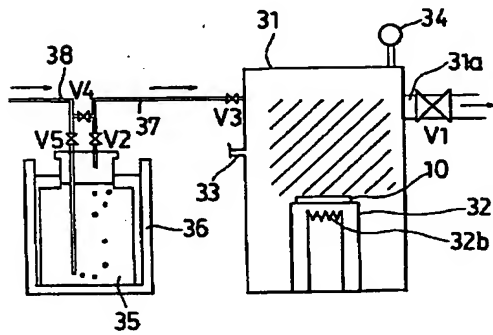
【図15】



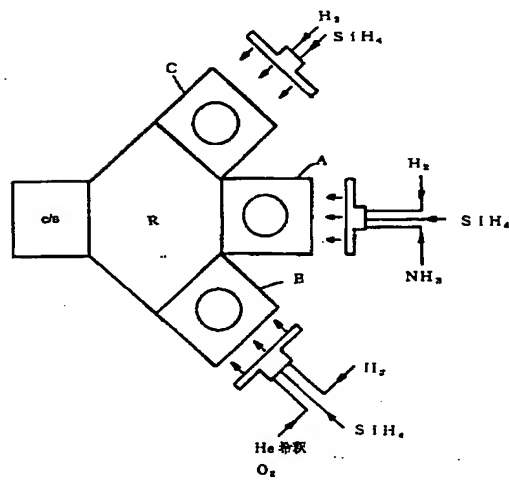
【図16】



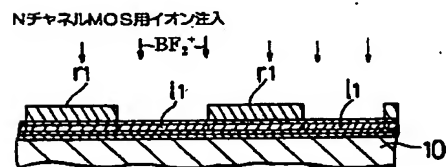
【図17】



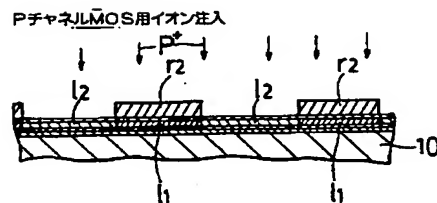
【図21】



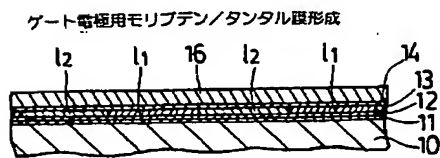
【図23】



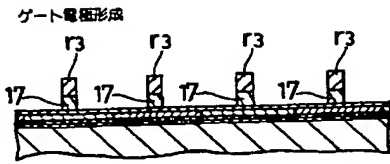
【図24】



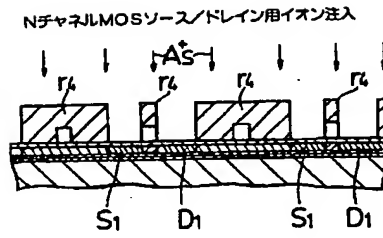
【図25】



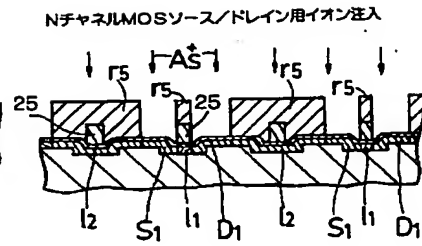
【図26】



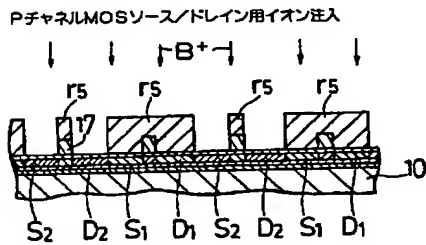
【図27】



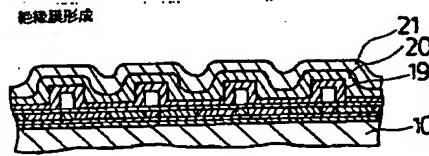
【図38】



【図28】

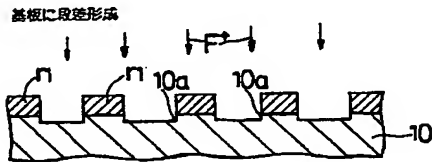
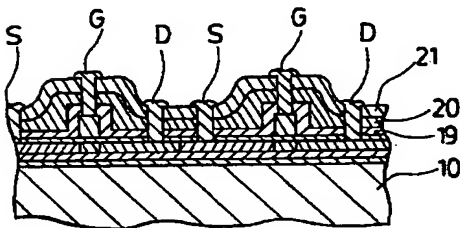


【図29】



【図31】

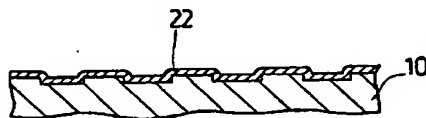
【図30】



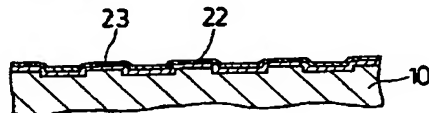
【図32】

【図33】

単結晶シリコン膜のグラフトエピタキシャル成長



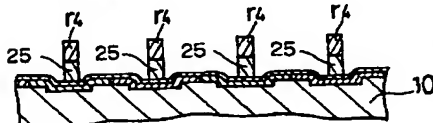
ゲート絶縁膜形成



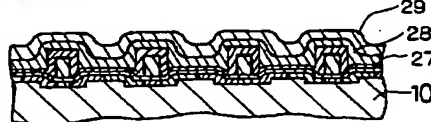
【図37】

【図40】

ゲート電極形成

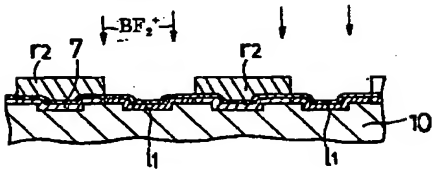


絶縁膜形成



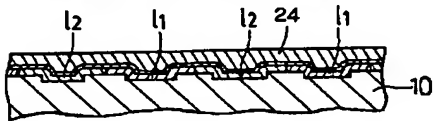
【図34】

NチャネルMOS用イオン注入

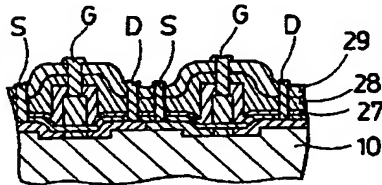


【図36】

ゲート電極用モリブデン/タンタル合金膜形成

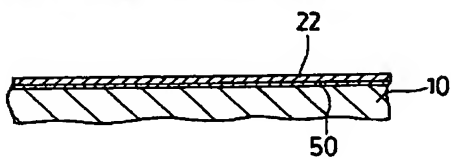


【図41】



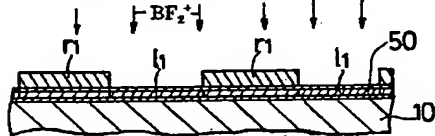
【図43】

単結晶シリコン膜のヘテロエピタキシャル成長



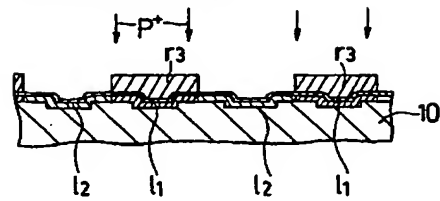
【図45】

NチャネルMOS用イオン注入



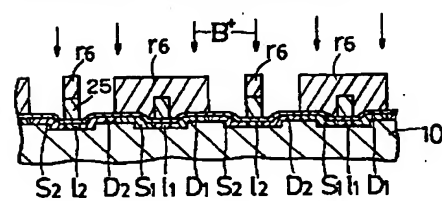
【図35】

PチャネルMOS用イオン注入



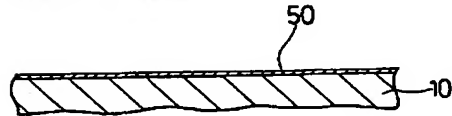
【図39】

PチャネルMOSソース/ドレイン用イオン注入



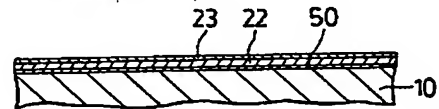
【図42】

基板にサファイア膜形成



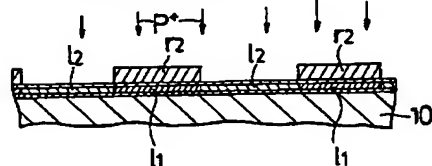
【図44】

ゲート絶縁膜形成



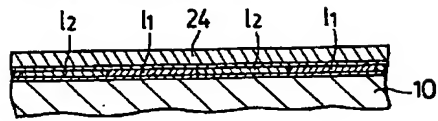
【図46】

PチャネルMOS用イオン注入



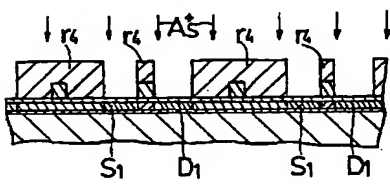
【図47】

ゲート電極用ポリシリコン膜形成



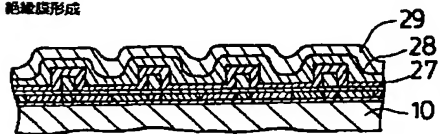
【図49】

NチャネルMOSソース/ドレイン用イオン注入



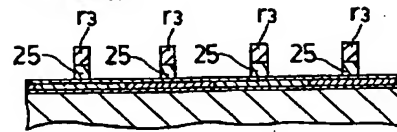
【図51】

絶縁膜形成



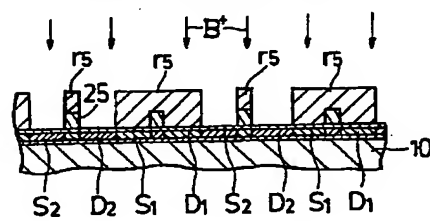
【図48】

ゲート電極形成

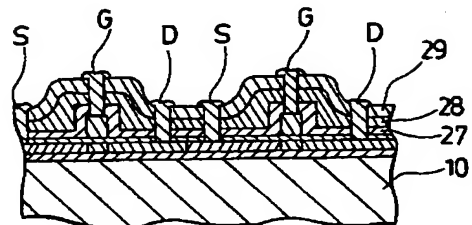


【図50】

PチャネルMOSソース/ドレイン用イオン注入



【図52】



フロントページの続き

F ターム(参考) 5F045 AA06 AA09 AB02 AB03 AB04
AB32 AB33 AC01 AC11 AC12
AE13 AE15 AE17 AE29 AF02
AF03 AF04 AF06 AF07 AF09
BB08 BB12 CA15 DA59 EB13
EE04 EE12 EE14 EF05 EH20
HA16 HA18 HA25
5F052 AA02 BA02 BA07 BB07 CA02
DA01 DB01 EA04 FA05 HA06
JA04
5F110 AA01 AA16 AA17 AA26 BB02
BB04 CC02 CC08 DD01 DD02
DD03 DD04 DD05 DD12 DD13
DD14 DD17 DD21 DD25 EE06
EE23 EE30 EE44 FF02 FF03
FF09 FF29 FF36 GG01 GG02
GG04 GG12 GG13 GG25 GG32
GG33 GG34 GG44 GG47 GG52
GG55 GG57 HJ01 HJ04 HJ13
HJ23 HL03 HL23 HL27 NN03
NN04 NN23 NN24 NN25 NN35
PP03 PP04 PP05 PP06 PP10
PP13 PP33 PP36 QQ09 QQ11